

W0004



DE19507146

Biblio

Desc

Claims

Page 1

Drawing

esp@cenet

**Semiconductor device used as FET**

Patent Number: ☐ DE19507146

Publication date: 1996-01-11

Inventor(s): NISHIHARA HIDENORI (JP)

Applicant(s):: MITSUBISHI ELECTRIC CORP (JP)

Requested Patent: ☐ JP8023092

Application Number: DE19951007146 19950301

Priority Number(s): JP19940154677 19940706

IPC Classification: H01L29/78 ; H01L29/744 ; H01L21/336 ; H01L21/332

EC Classification: H01L21/336B2R, H01L29/78B2B2, H01L21/331G2R

Equivalents:

Abstract

A semiconductor device (I) comprises: (a) a semiconductor substrate (1); (b) a trench (31) in the substrate (1); (c) a gate insulating layer (32) covering the inner wall of the trench (31); (d) a gate electrode (34) which fills the trench (31) and projects above the surface of the substrate (1), where the width of the section of gate electrode (34) is the same or less than the width of the projecting gate electrode filling the trench (31); and (e) an insulating layer (32) formed in such a way that it covers only the projecting section of the gate electrode (34). Prodn. of the semiconductor device is also claimed.

Data supplied from the esp@cenet database - I2

(43)公開日 平成8年(1996)1月23日

技術表示箇所

3 2 1 v

審査請求 未請求 請求項の数18 O.L (全 25 頁)

(22)出題日 平成6年(1994)7月6日

東京都千代田区丸の内二丁目2番3号

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社北伊丹製作所内

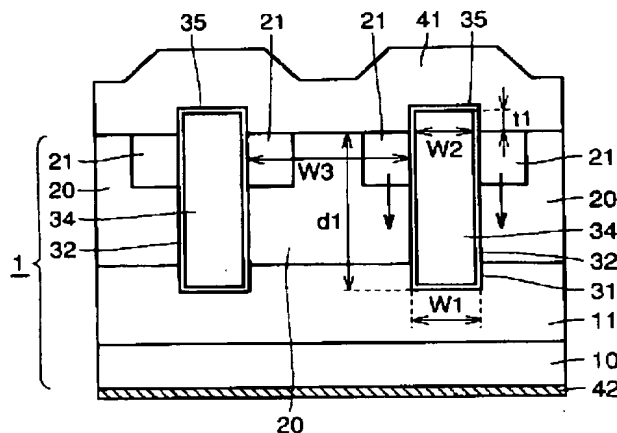
(74)代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 占有面積を小さくすることができるよう改良された、トレンチ構造の縦型MOSトランジスタを提供すること。

【構成】 半導体基板 1 中に形成されたトレンチ 3 1 の内壁面にゲート絶縁膜 3 2 が設けられる。トレンチ 3 1 内のゲート電極 3 4 が埋込まれる。ゲート電極 3 4 は半導体基板 1 の表面よりも上に突出している。半導体基板 1 の表面領域を被覆せず、ゲート電極 3 4 の突出部分のみを絶縁膜 3 5 が被覆している。当該装置は、第 1 導電型の第 1 の不純物拡散層 2 1 と第 1 の電極 4 1 と第 2 の電極 4 2 と第 1 導電型の第 3 の不純物拡散層 1 1 と第 2 導電型の第 2 の不純物拡散層 2 0 とを備える。当該装置は、上記トレンチ 3 1 の側面をチャネルとして動作させるものである。



【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板の表面に設けられたトレンチと、
 前記トレンチの内壁面を被覆するゲート絶縁膜と、
 前記トレンチ内に埋込まれ、かつ前記半導体基板の表面よりも上に突出するゲート電極と、を備え、
 前記ゲート電極の突出部分の幅は、前記ゲート電極の、前記トレンチ内に埋込まれた部分の幅と等しくまたはそれ以下にされており、
 当該装置は、さらに、
 前記ゲート電極の前記突出部分のみを被覆するように設けられた絶縁膜とを備え、
 前記トレンチの側面をチャネルとして動作させる半導体装置。

【請求項 2】 前記半導体基板の表面に設けられた第 1 の電極と、
 前記半導体基板の裏面に設けられた第 2 電極と、をさらに備え、
 前記第 1 の電極と前記第 2 の電極との間で、前記半導体基板に対して垂直方向に電流を流す、請求項 1 に記載の半導体装置。

【請求項 3】 前記半導体基板の上に互いに離されて形成された第 1 の電極と第 2 の電極とをさらに備え、
 前記第 1 の電極から前記第 2 の電極へと電流を流す、請求項 1 に記載の半導体装置。

【請求項 4】 前記半導体基板の表面中であって、前記第 1 の電極に接触するように、かつ前記ゲート電極の両側に設けられた第 1 導電型の第 1 の導電層と、
 前記第 2 の電極に接触するように前記半導体基板の裏面中に設けられた第 1 導電型の第 3 の導電層と、
 前記半導体基板中であって、かつ、前記第 1 の導電層と前記第 3 の導電層との間に設けられ、チャネルとして動作する、第 2 導電型の第 2 の導電層と、をさらに備え、
 前記トレンチは、前記半導体基板の表面から前記第 3 の導電層中にまで達している、請求項 2 に記載の半導体装置。

【請求項 5】 前記半導体基板はシリコンで形成されており、
 前記ゲート絶縁膜はシリコン酸化膜で形成されており、
 前記ゲート電極は、p 型あるいは n 型の不純物を含んだ多結晶シリコンで形成されている、請求項 1 に記載の半導体装置。

【請求項 6】 前記第 1 の導電層はソース領域であり、
 前記第 3 の導電層はドレイン領域である、請求項 4 に記載の半導体装置。

【請求項 7】 前記半導体基板の表面中であって、前記第 1 の電極に接触するように、かつ前記ゲート電極の両側に設けられた、エミッタ領域である、第 1 導電型の第 1 の導電層と、
 前記半導体基板中に設けられ、かつ前記第 1 の導電層に

接するように設けられた第 2 導電型の第 2 の導電層と、
 前記第 2 の電極に接触するように前記半導体基板の裏面中に設けられた、コレクタ領域である、第 2 導電型の第 4 の導電層と、

前記半導体基板中であって、かつ前記第 2 の導電層と前記第 4 の導電層との間に設けられた、第 1 導電型の第 3 の導電層と、をさらに備え、
 前記トレンチは前記半導体基板の表面から前記第 3 の導電層中にまで達している、請求項 2 に記載の半導体装置。

【請求項 8】 半導体基板と、
 前記半導体基板の表面に設けられたトレンチと、
 前記トレンチの内壁面を被覆するゲート絶縁膜と、
 前記トレンチ内に埋込まれ、かつ前記半導体基板の表面よりも上に突出するゲート電極と、を備え、
 前記ゲート電極の突出部分は、上方向に向かうにつれて、その幅が狭くされており、
 当該装置は、さらに、
 前記ゲート電極の前記突出部分を被覆するように設けられた絶縁膜を備え、
 前記トレンチの側面をチャネルとして動作させる半導体装置。

【請求項 9】 前記半導体基板の表面に設けられた第 1 の電極と、
 前記半導体基板の裏面に設けられた第 2 の電極とを、さらに備え、
 前記第 1 の電極と前記第 2 の電極との間で、前記半導体基板に対して垂直な方向に電流を流す、請求項 8 に記載の半導体装置。

【請求項 10】 前記半導体基板の上に互いに離されて形成された第 1 の電極と第 2 の電極とをさらに備え、
 前記第 1 の電極から前記第 2 の電極へと電流を流す、請求項 8 に記載の半導体装置。

【請求項 11】 前記ゲート電極の前記突出部分の突出量を t_1 とし、かつ、前記トレンチの深さを d_1 とし、さらに、前記トレンチの幅を w_1 としたとき、次の不等式を満足する、請求項 1 または 8 に記載の半導体装置。

$$(t_1 + d_1) / w_1 \leq 1.2$$

【請求項 12】 前記ゲート電極の前記突出部分の突出量を t_1 とし、前記トレンチと、該トレンチに隣接する隣のトレンチとの間隔を w_3 としたとき、次の不等式を満足する、請求項 1 または 8 に記載の半導体装置。

$$t_1 / w_3 \leq 2$$

【請求項 13】 シリコン基板を準備する工程と、
 前記シリコン基板の表面に、シリコン酸化膜、シリコン窒化膜、シリコン酸化膜を順次形成し、これらの三層膜を形成する工程と、
 前記三層膜をパターニングし、次に、パターニングされた三層膜をマスクにして、前記シリコン基板の表面中にトレンチを形成する工程と、

前記三層膜を残したまま、前記トレンチ内にゲート酸化膜となるシリコン酸化膜を形成し、その後、多結晶シリコンを、前記トレンチ内および前記シリコン基板の表面に堆積する工程と、

前記多結晶シリコンの上面が、前記シリコン基板の表面より上で、かつ前記三層膜の上層のシリコン酸化膜より下の位置に位置するまで、前記多結晶シリコンをエッチバックする工程と、

前記三層膜の上層シリコン酸化膜をエッチングして、前記多結晶シリコンの上部を、シリコン基板の表面より上に突出した状態に、露出させる工程と、

突出した前記多結晶シリコンを酸化して、前記三層膜の下層シリコン酸化膜よりも厚いシリコン酸化膜を、突出した前記多結晶シリコンの上部を取囲むように形成する工程と、

マスクレスで、前記シリコン窒化膜をエッチング除去する工程と、

突出した前記多結晶シリコンの上部を取囲むシリコン酸化膜を残すように、前記シリコン基板の表面のシリコン酸化膜をすべて除去し、それによって、コンタクト領域を形成する工程と、

所望の電極を形成する工程と、を備えた半導体装置の製造方法。

【請求項 14】 シリコン基板を準備する工程と、前記シリコン基板の上に、シリコン酸化膜、シリコン窒化膜、シリコン酸化膜を順次形成し、それによって、これらの三層膜を形成する工程と、

前記三層膜を、後のトレンチを形成する際のマスクとなるように、パターニングし、それによって所定の形状の開口部を該三層膜中に形成する工程と、

パターニングされた前記三層膜をマスクに用いて、前記半導体基板中にトレンチを形成する工程と、

前記三層膜中の上層シリコン酸化膜の開口部の側壁をエッチングし、その開口部の幅を前記トレンチの開口部の幅より広くする工程と、

前記三層膜を残したまま、前記トレンチ内にゲート酸化膜となるシリコン酸化膜を形成し、その後、多結晶シリコンを前記トレンチ内および前記シリコン基板の表面上に堆積する工程と、

前記多結晶シリコンの上面が、前記シリコン基板の表面より上であって、かつ前記三層膜の最上層のシリコン酸化膜より下の位置に位置するまで、前記多結晶シリコンをエッチバックする工程と、

前記三層膜の最上層のシリコン酸化膜をエッチングして、前記多結晶シリコンの上部が前記シリコン基板の表面より上に突出し、かつ前記トレンチの開口部より横方向に張出すように、前記多結晶シリコンの上部を露出させる工程と、

前記多結晶シリコンの上部であって、かつ前記トレンチの開口部より横方向に張出した部分を酸化し、それによ

って、前記多結晶シリコンの上部を、前記トレンチの開口部より横方向に張出さず、かつ前記シリコン基板の表面より上に突出した形状にし、かつ前記三層膜の下層シリコン酸化膜よりも厚いシリコン酸化膜を、前記多結晶シリコンの上部を取囲むように形成する工程と、

マスクレスで、前記シリコン窒化膜をエッチング除去する工程と、

突出した多結晶シリコンの上部を取囲む前記シリコン酸化膜を残すように、前記シリコン基板の表面のシリコン酸化膜をすべて除去し、それによってコンタクト領域を形成する工程と、

所望の電極を形成する工程と、

を備えた半導体装置の製造方法。

【請求項 15】 シリコン基板を準備する工程と、前記シリコン基板の表面にシリコン酸化膜を形成する工程と、

前記シリコン酸化膜を、後のトレンチを形成する際のマスクとなるように、パターニングし、それによって所定の形状の開口部を該シリコン酸化膜中に形成する工程と、

パターニングされた前記シリコン酸化膜をマスクに用いて、前記半導体基板中にトレンチを形成する工程と、前記シリコン酸化膜の開口部の側壁をエッチングし、それによって、その開口部の幅を前記トレンチの開口部の幅より広くする工程と、

前記シリコン酸化膜を残したまま、前記トレンチ内に、ゲート酸化膜となるシリコン酸化膜を形成し、その後、多結晶シリコンを前記トレンチ内および前記シリコン基板の表面上に堆積する工程と、

前記多結晶シリコンの上面が、前記シリコン基板の表面より上であって、前記半導体基板の上に形成された前記シリコン酸化膜より下の位置に位置するまで、前記多結晶シリコンをエッチバックする工程と、

前記シリコン基板の表面のシリコン酸化膜をエッチングして、前記多結晶シリコンの上部が前記シリコン基板の表面より上に突出し、かつ前記トレンチの開口部より横方向に張出すように、前記多結晶シリコンの上部を露出させる工程と、

前記多結晶シリコンの上部であって、かつ前記トレンチの開口部より横方向に張出した部分を酸化し、それによって、前記トレンチの開口部より横方向に張出さず、かつ前記シリコン基板の表面より上に突出した形状の、多結晶シリコンを形成し、かつ、該多結晶シリコンの上部を取囲むシリコン酸化膜を形成する工程と、コンタクト領域を形成し、その後所望の電極を形成する工程と、

を備えた半導体装置の製造方法。

【請求項 16】 請求項 14 項または 15 項に記載されている半導体装置の製造方法において、前記多結晶シリコンの上部がシリコン基板の表面より上に突出し、かつ

トレンチの開口部より横方向に張出すように、前記多結晶シリコンの上部を露出させる工程と、前記多結晶シリコンを取囲むようにシリコン酸化膜を形成する工程と、を備え、結果的に、前記多結晶シリコンの上部を、前記トレンチの開口部より横方向に張出し、かつ前記シリコン基板の表面より上に突出した形状にする、半導体装置の製造方法。

【請求項 17】 請求項 13 項から 16 項までのいずれか 1 項に記載されている半導体装置の製造方法において、前記多結晶シリコンの上部が前記シリコン基板の表面より上に突出した状態で、前記多結晶シリコンを酸化し、かつ、得られた酸化膜をエッチングする工程を繰返し、結果的に、前記シリコン基板の表面より上に突出した前記多結晶シリコンの上部の径を前記トレンチ内に埋込まれた多結晶シリコンの径より小さくする、半導体装置の製造方法。

【請求項 18】 請求項 13 項から 17 項までのいずれか 1 項に記載されている半導体装置の製造方法において、前記多結晶シリコンの上部を前記シリコン基板の表面より上に突出させた状態で、下記 (a) および (b) からなる群より選ばれたエッチング工程を行ない、結果的に、前記シリコン基板の表面より上に突出した前記多結晶シリコンの上部の径を、前記トレンチ内に埋込まれた多結晶シリコンの径より小さくする、半導体装置の製造方法。

(a) 前記多結晶シリコンを等方性エッチングすること。

(b) 前記多結晶シリコンの上面の角を丸めるためのエッチングをすること。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、一般に半導体装置に関するものであり、より特定的には、大電流を流すことができるパワー電界効果トランジスタの改良に関する。この発明は、また、そのような半導体装置の製造方法に関する。

【0002】

【従来の技術】 図 60 は、米国特許 4,767,722 に開示されている、第 1 の従来例であるトレンチ構造を有する縦型電界効果トランジスタ（以下、トレンチ MOS と省略する）の断面図である。

【0003】 図 60 を参照して、当該半導体装置は、N+型単結晶シリコン基板 110 を備える。N+型単結晶シリコン基板 110 の上に N-型単結晶シリコンエピタキシャル層 111 が設けられている。N-型単結晶シリコンエピタキシャル層 111 中にトレンチ 131 が形成されている。トレンチ 131 の内壁面を、ゲート絶縁膜であるシリコン酸化膜 132 が被覆している。トレンチ 131 内に、ゲート電極となる N 型不純物を含んだ多結

晶シリコン 134 が埋込まれている。N-型単結晶シリコンエピタキシャル層 111 の上であって、トレンチ 131 の両側に、P 型ベース拡散層 120a、120b が設けられている。P 型ベース拡散層 120a 内には、N 型ソース拡散層 121a が設けられている。P 型ベース拡散層 120b 内には N 型ソース拡散層 121b が設けられている。ゲート電極（134）の上部を絶縁膜 135 が被覆している。N 型ソース拡散層 121a にはソース電極 118 が接続され、N 型ソース拡散層 121b にはソース電極 119 が接続されている。N+型単結晶シリコン基板 110 の裏面にはドレイン電極 117 が接続されている。

【0004】 次に動作について説明する。ゲート電極 134 に正電位を印加することにより、トレンチ 131 の側面に、チャンネルが形成される。矢印 122C1、122C2 に示す経路で、電子が移動し、ソース電極 118、119 とドレイン電極 117 間に電流が流れる。

【0005】 このようなトレンチ MOS は、パワー MOS と呼ばれており、大電流を流すことができ、モータのスイッチ等に利用される。

【0006】 次に、上述のトレンチ MOS の製造方法について説明する。図 61 を参照して、N+型単結晶シリコン基板 110 の上全面に、エピタキシャル成長法により、N-型単結晶シリコンエピタキシャル層 111 を形成し、続いて、写真製版技術、不純物イオン注入技術、不純物拡散技術を繰返し、P 型ベース拡散層 120、N 型ソース拡散層 121 を形成する。以下、これらをシリコン基板 100 と略称する。その後、シリコン基板 100 の表面にシリコン酸化膜 130 を形成する。

【0007】 次に、図 62 を参照して、シリコン酸化膜 130 を、後のトレンチの形成のためのマスクになるように、所定の形状にパターニングする。シリコン酸化膜 130 をマスクとして、シリコンエッチング技術を用い、シリコン基板 100 中に、N 型ソース拡散層 121 と P 型ベース拡散層 120 を貫通し、N-型単結晶シリコンエピタキシャル層 111 中にまで至るトレンチ 131 を形成する。

【0008】 図 62 と図 63 を参照して、トレンチ 131 の内壁面に、ゲート酸化膜となるシリコン酸化膜 132 を形成する。

【0009】 次に図 64 を参照して、CVD 技術を用い、N 型不純物を含んだ多結晶シリコン膜 133 を、トレンチ 131 内に埋込まれるように、シリコン基板 100 の上に、堆積する。

【0010】 図 64 と図 65 を参照して、N 型多結晶シリコン膜 133 を、その上面がシリコン基板 100 の表面と、N 型ソース拡散層 121a、121b の下面との間に位置するまで、エッチバックする。N 型多結晶シリコンの上面 134a は、シリコン基板 100 の表面から 0.25~0.5 μm 下に位置する。このようにして、

ゲートN型多結晶シリコン膜134が形成される。

【0011】図66を参照して、N型多結晶シリコン膜134の表面を酸化し、N型多結晶シリコン膜134の上にシリコン酸化膜135を形成する。シリコン酸化膜135は、シリコン基板の表面に設けられている酸化膜130より厚く形成されており、シリコン酸化膜135とシリコン基板100の表面に形成された酸化膜130は、ほぼフラットになっている。なお、この状態においても、ゲート電極(134)の上面134aは、シリコン基板100の表面より下で、かつ、N型ソース拡散層121a、121bの下面より上に位置させる必要がある。

【0012】最後に、図66と図67を参照して、シリコン基板100の表面に形成されているシリコン酸化膜130をエッチング除去し、P型ベース拡散層120a、120bおよびN型ソース拡散層121a、121bに接触するように、シリコン基板100の上に、ソース電極118、119を形成する。一方、N+型単結晶シリコン基板110の裏面にドレイン電極117を形成する。

【0013】図68は、米国特許4,767,722に開示されている、第2の従来例である、トレンチMOSの断面図である。図68において、図67に示す半導体装置と同一または相当する部分には、同一の参照番号を付し、その説明を繰返さない。

【0014】図68において、参照番号123はトレンチを表わし、参照番号124は、ゲート絶縁膜となるシリコン酸化膜を表わし、参照番号125はゲート電極のN型多結晶シリコンを表わしている。図68に示す半導体装置が図67に示す半導体装置と異なる点は、ゲートN型多結晶シリコン125の断面形状がU字型で、トレンチ123内を完全に埋めていないことと、ゲートN型多結晶シリコン膜125がシリコン基板100の表面より上方に突出し、さらに、トレンチ開口部より横方向に張出している点である。

【0015】図69は、IEDM86P638-641に記載されている第3の従来例のトレンチMOSの断面図である。図67に示す半導体装置と同一または相当する部分には、同一の参照番号を付し、その説明を繰返さない。図69において、参照符号136は、ゲート電極134とソース電極118を電気的に分離するための層間絶縁膜を表わしている。図69に示す半導体装置が、図60に示す半導体装置と異なる点は、ゲートN型多結晶シリコン134が、シリコン基板100の表面より上方に突出し、さらに、トレンチ開口部より、横方向に張出している点である。

【0016】図68および図69に示すトレンチMOSの製造方法は、次のとおりである。まず、図61～図64に示す処理と同様の処理を行ない、トレンチ、ゲート酸化膜、N型多結晶シリコン膜を形成する。続いて、写

真製版技術を用いて、ゲートN型多結晶シリコン膜をパターンニングし、トレンチ開口部より横に張出したU字型またはT字型のゲート電極を形成する。次に、層間絶縁膜136を形成し、写真製版技術を用いて、この層間絶縁膜136をパターンニングし、それによってコンタクト領域を形成する。最後に、ソース電極、ドレイン電極を設けて、トレンチMOSを完成する。

【0017】図70は、特開平4-17371号公報に開示されている半導体装置の断面図である。ドレインとなるN型のシリコン基板1aに、P型拡散領域2aが形成されている。P型拡散領域2aの内部にソースとなる高濃度N型拡散領域3aが形成されている。N型拡散領域3aとP型拡散領域2aを貫通するようにトレンチ4aが形成されている。トレンチ4aの側壁にゲート酸化膜5aが形成されている。ゲート酸化膜5aを介在してゲート電極6がトレンチ4a内に埋込まれている。ゲート電極6の上端部を覆うように、シリコン基板1aの上に層間絶縁膜7が設けられている。ソース電極8aがP型拡散領域2aと高濃度N型拡散領域3aに接触するように、シリコン基板1aの上に設けられている。シリコン基板1aの裏面にドレイン電極9aが設けられている。

【0018】

【発明が解決しようとする課題】従来のトレンチMOSは、上述のように構成されていたので、次のような問題点があった。

【0019】図60に示すトレンチMOSにおいては、製造上の問題点がある。すなわち、図65を参照して、ゲートN型多結晶シリコン膜134の上面134aの位置を正確に制御しなければならない。この制御のために、高価な加工装置や高度の加工技術が必要となる。これが、第1の問題点である。

【0020】また、図66を参照して、ゲートN型多結晶シリコン膜134を酸化させて、シリコン酸化膜135を形成するため、シリコン酸化膜135の膜厚およびその形成条件から、この酸化によって消費される多結晶シリコンの量を予め考えて、ゲートN型多結晶シリコン膜134の上面134aの位置を、正確にかつ余裕を持って決定しなければならないという第2の問題点があった。

【0021】また、ゲート電極であるゲートN型多結晶シリコン膜134の上面134aの位置が、N型ソース拡散層121a、121bの下面より、上になればMOSとしての機能が生じないため、おのずとN型ソース拡散層121a、121bの深さが決まり、その結果、縦方向の縮小化(シャロー化)が困難になるという第3の問題点があった。このため、P型ベース拡散層もトレンチ深さも浅くできないので、ゲート電極とシリコン基板間の静電容量の削減ができない。

【0022】図68に示すトレンチMOSにおいては、

上記第1、第2および第3の問題点はないが、ゲート電極の抵抗が高くなるという第4の問題点があった。

【0023】また、ゲートN型多結晶シリコン膜125がトレンチ開口部より横方向に張出しているため、チップの縮小化が困難になるという第5の問題点があった。すなわち、従来の製造方法では、トレンチの形成とゲート電極の形成とコンタクト領域の形成とを、それぞれ独自のマスクを用いる写真製版で行なっている。したがって、トレンチとゲート電極間に、ゲート電極とコンタクト領域間に、それぞれ、マスクアライメントの余裕および加工上の余裕（エッチング等のプロセス的な余裕）が必要になり、これがチップの縮小化の妨げとなる。

【0024】図69に示すトレンチMOSでは、上記第1、第2、第3および第4の問題点はないが、上述の第5の問題点があった。

【0025】図70に示すトレンチMOSでは、層間絶縁膜7aの端部が、水平方向に広がるように形成されているので、高集積化の妨げとなるという問題点があった。

【0026】それゆえに、この発明の目的は、高価な加工装置や高度な加工技術を用いなくて製造できるトレンチMOSを提供することにある。

【0027】この発明の他の目的は、縦方向の縮小化を容易にすることができるよう改良されたトレンチMOSを提供することにある。

【0028】この発明のさらに他の目的は、ゲート電極の抵抗が高くないように改良されたトレンチMOSを提供することにある。

【0029】この発明のさらに他の目的は、チップの縮小化が容易になるように改良されたトレンチMOSを提供することにある。

【0030】この発明のさらに他の目的は、そのようなトレンチMOSの製造方法を提供することにある。

【0031】

【課題を解決するための手段】この発明の第1の局面に従う半導体装置は、表面と裏面を有する半導体基板を備える。上記半導体基板の表面中にトレンチが設けられている。上記トレンチの内壁面を、ゲート絶縁膜が被覆している。上記トレンチ内にゲート電極が埋込まれている。ゲート電極は、上記半導体基板の表面よりも上に、突出している。上記ゲート電極の突出部分の幅は、上記ゲート電極の、上記トレンチ内に埋込まれた部分の幅と等しくまたはそれ以下にされている。当該半導体装置は、さらに、上記ゲート電極の上記突出部分のみを被覆するように設けられた絶縁膜を備える。当該半導体装置は、上記トレンチの側面をチャネルとして動作させるものである。

【0032】この発明の第2の局面に従う半導体装置は、表面と裏面を有する半導体基板を備える。上記半導体基板の表面中に、トレンチが設けられている。上記ト

レンチの内壁面を、ゲート絶縁膜が被覆している。上記トレンチ内にゲート電極が埋込まれている。ゲート電極は、上記半導体基板の表面よりも上に突出している。上記ゲート電極の突出部分は、上方向に向かうにつれて、その幅が狭くされている。当該装置は、さらに、上記半導体基板の表面領域を被覆せず、上記ゲート電極の上記突出部分のみを被覆するように設けられた絶縁膜を備える。当該半導体装置は、上記トレンチの側面をチャネルとして動作させるものである。

【0033】この発明の第3の局面に従う半導体装置の製造方法においては、まずシリコン基板を準備する。上記シリコン基板の表面に、シリコン酸化膜、シリコン窒化膜、シリコン酸化膜を順次形成し、これらの三層膜を形成する。上記三層膜をパターニングし、次にパターニングされた三層膜をマスクにして、上記シリコン基板の表面中にトレンチを形成する。上記三層膜を残したまま、上記トレンチ内にゲート酸化膜となるシリコン酸化膜を形成し、その後、多結晶シリコンを、上記トレンチ内および上記シリコン基板の表面に堆積する。上記多結晶シリコンの表面が、上記シリコン基板の表面より上で、かつ上記三層膜の上層のシリコン酸化膜より下の位置に位置するまで、上記多結晶シリコンをエッチバックする。上記三層膜の上層シリコン酸化膜をエッチングして、上記多結晶シリコンの上部を、シリコン基板の表面より上に突出した状態に、突出させる。突出した上記多結晶シリコンを酸化して上記三層膜の下層シリコン酸化膜よりも厚いシリコン酸化膜を、上記多結晶シリコンの上部を取囲むように形成する。マスクレスで、上記シリコン窒化膜をエッチング除去する。突出した上記多結晶シリコンの上部を取囲むシリコン酸化膜を残すように、上記シリコン基板の表面のシリコン酸化膜をすべて除去し、それによって、コンタクト領域を形成する。所望の電極を形成する。

【0034】この発明の第4の局面に従う半導体装置の製造方法においては、まず、シリコン基板を準備する。上記シリコン基板の上に、シリコン酸化膜、シリコン窒化膜、シリコン酸化膜を順次形成し、それによって、これらの三層膜を形成する。上記三層膜を、後のトレンチを形成する際のマスクとなるように、パターニングし、それによって、所定の形状の開口部を上記三層膜中に形成する。パターニングされた上記三層膜をマスクに用いて、上記半導体基板中にトレンチを形成する。上記三層膜中の上層シリコン酸化膜の開口部の側壁をエッチングし、その開口部の幅を上記トレンチの開口部の幅より広くする。上記三層膜を残したまま、上記トレンチ内にゲート酸化膜となるシリコン酸化膜を形成し、その後多結晶シリコンを上記トレンチ内および上記シリコン基板の表面上に堆積する。上記多結晶シリコンの上面が上記シリコン基板の表面より上であって、かつ、上記三層膜の最上層のシリコン酸化膜より下の位置に位置するまで、

上記多結晶シリコンをエッチバックする。上記三層膜の最上層のシリコン酸化膜をエッチングして、上記多結晶シリコンの上部が上記シリコン基板の表面より上に突出し、かつ上記トレンチの開口部より横方向に張出すように、上記多結晶シリコンの上部を露出させる。上記多結晶シリコンの上部であって、かつ上記トレンチの開口部より横方向に張出した部分を酸化し、それによって、上記多結晶シリコンの上部を、上記トレンチの開口部より横方向に張り出さず、かつ上記シリコン基板の表面より上に突出した形状にし、かつ上記三層膜の下層シリコン酸化膜よりも厚いシリコン酸化膜を、上記多結晶シリコンの上部を取囲むように形成する。マスクレスで、上記シリコン窒化膜をエッチング除去する。突出した多結晶シリコンの上部を取囲む上記シリコン酸化膜を残すように、上記シリコン基板の表面のシリコン酸化膜をすべて除去し、それによってコンタクト領域を形成する。所望の電極を形成する。

【0035】この発明の第5の局面に従う半導体装置の製造方法においては、まず、シリコン基板を準備する。上記シリコン基板の表面にシリコン酸化膜を形成する。上記シリコン酸化膜を、後のトレンチを形成する際のマスクとなるように、パターニングし、それによって、所定の形状の開口部を該シリコン酸化膜中に形成する。パターニングされた上記シリコン酸化膜をマスクに用いて、上記半導体基板中にトレンチを形成する。上記シリコン酸化膜の開口部の側壁をエッチングし、それによって、その開口部の幅を上記トレンチの開口部の幅より広くする。上記シリコン酸化膜を残したまま、上記トレンチ内に、ゲート酸化膜となるシリコン酸化膜を形成し、その後、多結晶シリコンを上記トレンチ内および上記シリコン基板の表面上に堆積する。上記多結晶シリコンの上面が上記シリコン基板の表面より上であって、かつ上記半導体基板の上に形成された上記シリコン酸化膜より下の位置に位置するまで、上記多結晶シリコンをエッチバックする。上記シリコン基板の表面のシリコン酸化膜をエッチングして、上記多結晶シリコンの上部が上記シリコン基板の表面より上に突出し、かつ上記トレンチの開口部より横方向に張出すように上記多結晶シリコンの上部を露出させる。上記多結晶シリコンの上部であって、かつ上記トレンチの開口部より横方向に張り出した部分を酸化し、それによって、上記トレンチの開口部より横方向に張り出さず、かつ上記シリコン基板の表面より上に突出した形状の、多結晶シリコンを形成し、かつ該多結晶シリコンの上部を取囲むシリコン酸化膜を形成する。コンタクト領域を形成し、その後所望の電極を形成する。

【0036】

【作用】この発明の第1の局面に従う半導体装置によれば、ゲート電極の突出部分を被覆する絶縁膜が、半導体基板の表面領域を被覆せず、ゲート電極の突出部分のみ

を被覆しているので、絶縁膜が水平方向に広がらない。

【0037】この発明の第2の局面に従う半導体装置によれば、ゲート電極の突出部分の幅が、上方向に向かうにつれて狭くされているので、第1の電極のステップカバレッジ性がよくなる。

【0038】この発明の第3の局面に従う半導体装置の製造方法によれば、マスクを用いなくて、シリコン窒化膜をエッチング除去するので、マスク合わせが不要となり、ひいては工程が簡略化する。

【0039】この発明の第4の局面に従う半導体装置によれば、マスクを用いなくてシリコン基板の表面のシリコン酸化膜をエッチングして、それによって、多結晶シリコンの上部をシリコン基板の表面より上に突出させるので、マスク合わせが不要となり、ひいては工程が簡略化する。

【0040】この発明の第5の局面に従う半導体装置の製造方法によれば、マスクを用いなくて、シリコン窒化膜をエッチング除去するので、マスク合わせが不要となり、ひいては工程が簡略化する。

【0041】

【実施例】以下、この発明の実施例を、図について、説明する。

【0042】実施例1

図1は、実施例1に係るトレンチMOSの断面図である。

【0043】図1を参照して、N+型単結晶シリコン基板10の上に、N-型単結晶シリコンエピタキシャル層11が形成され、N-型単結晶シリコンエピタキシャル層11の上にP型ベース拡散層20が形成され、P型ベース拡散層20の表面中に、N型ソース拡散層21が形成されている。以下、これらをシリコン基板1という。シリコン基板1中に、N型ソース拡散層21、P型ベース拡散層20を貫通し、N-型単結晶シリコンエピタキシャル層11中にまで至るトレンチ31が形成されている。トレンチ31の内壁面をゲート絶縁膜32が被覆している。トレンチ31内に、N型不純物を含んだ多結晶シリコンで形成されたゲート電極34が埋込まれている。ゲート電極34は、シリコン基板1の表面より上に突出している。シリコン基板1の表面領域を被覆せず、ゲート電極34の突出部分のみを絶縁膜35が被覆している。ゲート電極34を覆うように、かつN型ソース拡散層21、P型ベース拡散層20に接触するように、シリコン基板1の上にソース電極41が形成されている。シリコン基板1の裏面には、ドレイン電極42が設けられている。

【0044】次に動作について説明する。ゲート電極34に正電位を印加することにより、トレンチ31の側面にチャネルが形成され、矢印で示す経路で電子が移動し、ソース電極41とドレイン電極42間に電流が流れる。

【0045】実施例によれば、ゲート電極34の突出部分を被覆する絶縁膜35が、シリコン基板1の表面領域を被覆せず、ゲート電極34の突出部分のみを被覆している。絶縁膜35が水平方向に広がらず、ひいては占有面積を小さくすることができる。その結果、チップの縮小化が可能となる。

【0046】図2は、図1に示すトレンチMOS中のトレンチ部分のみを抽出して図示した斜視図である。図3は、その平面図である。トレンチ31は、このようにストライプ状に形成される。

【0047】図4は、本発明に用いられるトレンチの他の形状を示す平面図である。トレンチ31は、図4のように、多角形に形成してもよい。

【0048】次に、実施例1に係るトレンチMOSの製造方法について説明する。図5を参照して、N+型単結晶シリコン基板10の上に、N-型単結晶シリコンエピタキシャル層11を形成する。N-型単結晶シリコンエピタキシャル層11の上に、P型ベース拡散層20を形成する。P型ベース拡散層20の表面中にN型ソース拡散層21を形成する。以下、N+型単結晶シリコン基板10とN-型単結晶シリコンエピタキシャル層11とP型ベース拡散層20とN型ソース拡散層21とを含めて、シリコン基板1という。シリコン基板1の表面に、膜厚300Åのシリコン酸化膜37を、たとえば熱酸化で形成する。つづいて、シリコン酸化膜37の上に、膜厚1000Åのシリコン窒化膜38を、たとえばCVD法で堆積する。引続き、シリコン窒化膜38の上に、膜厚8000Åのシリコン酸化膜30を、たとえばCVD法で堆積する。シリコン酸化膜30は、後に行なうトレンチを形成するためのエッチングの際のマスクとなるものであり、その膜厚は、このエッチングに耐えるだけの膜厚であればよい。

【0049】図6を参照して、シリコン酸化膜30、シリコン窒化膜38およびシリコン酸化膜37を、後に形成するトレンチのマスクになるように所定の形状にパターンニングする。パターンニングされたシリコン酸化膜30をマスクにして、シリコン基板1中に、N型ソース拡散層21、P型ベース拡散層20を貫通し、N-型単結晶シリコンエピタキシャル層11中にまで至るトレンチ31を形成する。

【0050】図7を参照して、トレンチ31の内壁面を、ゲート酸化膜となる膜厚500Åのシリコン酸化膜32で被覆する。その後、トレンチ31内に埋込まれるように、シリコン基板1の上に、N型不純物を含んだ多結晶シリコン膜33を堆積する。なお、ゲート酸化膜(32)の膜厚は、要求される電気特性に応じて、適宜変更され得る。

【0051】図7と図8を参照して、N型多結晶シリコン膜33をエッチバックする。このとき、シリコン酸化膜30上のN型多結晶シリコン33を完全にエッチング

するための時間より、長い時間のエッチングを行なう。エッチング時間を適切に選ぶと、ゲート電極となるN型多結晶シリコン34の上面34aが、シリコン酸化膜30の上面と下面との間に位置する。N型多結晶シリコン34の上面34aの位置は、シリコン酸化膜30の表面より2000Å下になるのが好ましい。N型多結晶シリコン膜33のエッチバック量は、2000Åである。

【0052】図8と図9を参照して、シリコン酸化膜30をエッチング除去し、ゲートN型多結晶シリコン膜34の上部を露出させる。このとき、ゲートN型多結晶シリコン34は、シリコン基板1表面から、上へ、およそ7000Å突出する。

【0053】図9と図10を参照して、ゲートN型多結晶シリコン34の突出した部分の表面に、膜厚1000Åのシリコン酸化膜35を、熱酸化法により形成する。このとき、N型多結晶シリコン膜34の上面34aの位置は、シリコン基板1の表面からおよそ6500Å突出する。突出量 t_1 は、シリコン酸化膜30の膜厚、N型多結晶シリコン膜34のエッチング量、およびシリコン酸化膜35の厚さで決まるものであり、所望の突出量 t_1 になるように、それぞれの条件を、変更するのが好ましい。ただし、以降の工程を考えて、ゲート酸化膜32の膜厚 t_{32} とシリコン酸化膜37の膜厚 t_{37} と、シリコン酸化膜35の膜厚 t_{35} とは、次の不等式を満足するように選択する必要がある。

$$【0054】 t_{32} + t_{37} < t_{35}$$

図10と図11を参照して、マスクを用いずに、シリコン窒化膜38とシリコン酸化膜37をエッチング除去する。シリコン酸化膜37のエッチング時間は、膜厚 t_{37} にふさわしい丁度の時間でなければ、シリコン酸化膜35の膜厚は、 $t_{35} - t_{37}$ ($t_{35} - t_{37} > t_{32}$)になり、ゲートとソース間の絶縁耐圧はゲート酸化膜以上に保たれる。

【0055】図12を参照して、シリコン基板1の表面にソース電極41を形成し、シリコン基板1の裏面にドレイン電極42を設けて、トレンチMOSを完成する。

【0056】このようにして構成されるトレンチMOSでは、従来のトレンチMOSにみられた問題点が解決され、次のような効果をさらに兼ね備える。

【0057】第1の効果は、ゲートN型多結晶シリコンを、高度な加工技術を用いずに、かつ厳密な制御なしで形成できることである。第2の効果は、N型ソース拡散層21の深さを、他の要因に影響されることなく単独で決定できるため、シャロー化が容易であるということである。第3の効果は、トレンチとゲート電極とコンタクト領域がセルフアラインで形成できるため、トレンチとゲート電極間、ゲート電極とコンタクト領域間に、それぞれマスクアライメントの余裕や加工上の余裕を必要とせず、ひいてはチップの縮小化が容易であるということである。第4の効果は、ゲート電極の抵抗値が高くな

らないということである。

【0058】なお、上記実施例において、図7を参照して、シリコン酸化膜30とシリコン窒化膜38とシリコン酸化膜37の合計の厚さ t_{10} と、トレンチ31の深さ d_{10} と、トレンチ31の幅 w_{10} とは、次の不等式を満足することが望ましい。

$$【0059】(t_{10} + d_{10}) / w_{10} \leq 1.2$$

上述の関係は、図7におけるN型多結晶シリコン膜33の堆積の際のアスペクト比と呼ばれている関係で、 $(t_{10} + d_{10}) / w_{10} > 1.2$ の関係になると、N型多結晶シリコン33をトレンチ31の底部まで完全に埋込むことが困難になったり、あるいはN型多結晶シリコン中に空洞ができるという不具合を生じる。一般的なMOSのゲート酸化膜32の膜厚 t_{32} は、下記の不等式を満足する。

$$【0060】t_{32} \ll d_{10}, \quad t_{32} \ll w_{10}$$

図7と図1を参照して、トレンチ深さ d_1 とトレンチの幅 w_1 との関係は次のようになる。

$$【0061】d_1 \equiv d_{10}, \quad w_1 \equiv w_{10}$$

したがって、 t_{10} 、 d_1 、 w_1 の間の関係は、次式であることが望ましいと結論付けられる。

$$【0062】(t_{10} + d_{10}) / w_{10} \leq 1.2$$

さらに、図1を参照して、ゲートN型多結晶シリコンの突出量 t_1 は、その製造方法から考えて、 $t_1 \leq t_{10}$ となることより、N型多結晶シリコンの突出量 t_1 とトレンチの深さ d_1 とトレンチの幅 w_1 の関係は、次の不等式を満足するのが望ましいことになる。

$$【0063】(t_1 + d_1) / w_1 \leq 1.2$$

また、図1を参照して、多結晶シリコン膜の突出量 t_1 とトレンチの間隔 w_3 との関係は、次の不等式を満足するのが好ましい。

$$【0064】t_1 / w_3 \leq 2$$

上述の関係式を満足すると、ソース電極41のステップカバレッジ性がよく、ひいては、段差部で断線したり、細くなって抵抗値が増加するといった不具合は発生しない。

【0065】なお、上記実施例では、MOSの場合を例示したが、この発明はこれに限られるものでなく、GTO、MCT、BRTのようなサイリスタに本発明を適用することもできる。

【0066】実施例2

図13は、実施例2に係るトレンチMOSの断面図である。実施例1では、トレンチ構造の縦型MOSを例示したが、この発明はこれに限られるものでなく、本発明は図13に示すようなトレンチ構造の横型MOSトランジスタも含む。すなわち、本発明は、トレンチの側面にチャネルを形成し、トレンチの縦方向に電流を流す半導体装置すべてにおいて適用され得る。

【0067】図13を参照して、半導体基板1の表面中にトレンチ31が設けられている。半導体基板1はP型

ベース拡散層20を含む。トレンチ31の内壁面をゲート絶縁膜32が被覆している。トレンチ31内に、ゲート電極である、N型不純物を含んだ多結晶シリコン34が埋込まれている。ゲート電極34は、半導体基板1の表面よりも上に突出している。ゲート電極34の突出部分の幅は、トレンチ31内に埋込まれた部分の幅と等しくされている。半導体基板1の表面領域を被覆せず、ゲート電極34の突出部分のみを絶縁膜35が被覆している。半導体基板1の表面中であって、かつトレンチ31の両側に、N型ソース拡散層21とN型ドレイン拡散層22が、互いに離されて形成されている。N型ソース拡散層21にソース電極41が接続されている。N型ドレイン拡散層22にドレイン電極42が接続されている。P型ベース拡散層20は、チャネルとして動作する。

【0068】ゲート電極34に正電位を印加することにより、トレンチ31の側面にチャネルが形成され、ソース電極41とドレイン電極42との間に電流が流れる。

【0069】実施例3

図14は、実施例3に係る、トレンチ構造を有する縦型絶縁膜ゲートバイポーラトランジスタ（以下、トレンチIGBTという）の断面図である。実施例3に係るトレンチIGBTは、P+型単結晶シリコン基板12とN+型単結晶シリコンエピタキシャル層13とN-型単結晶シリコンエピタキシャル層11とP型ベース拡散層20とを含むシリコン基板1を備える。P型ベース拡散層20の表面中に、N型エミッタ拡散層23が設けられている。シリコン基板1中に、N型エミッタ拡散層23とP型ベース拡散層20を貫通し、N-型単結晶シリコンエピタキシャル層11にまで至るトレンチ31が設けられている。トレンチ31の内壁面をゲート絶縁膜32が被覆している。トレンチ31内にゲート電極34であるN型不純物を含んだ多結晶シリコン膜が埋込まれている。ゲート電極34は、半導体基板1の表面よりも上に突出している。ゲート電極34の突出部分の幅は、トレンチ31内に埋込まれる部分の幅と等しくされている。半導体基板1の表面領域を被覆せず、ゲート電極34の突出部分のみを絶縁部35が被覆している。ゲート電極34の突出部分を覆うように、かつN型エミッタ拡散層23とP型ベース拡散層20に接触するように、エミッタ電極43が半導体基板1の上に設けられている。半導体基板1の裏面にコレクタ電極44が設けられている。

【0070】ゲート電極34に正電位を印加することにより、トレンチ31の側面にチャネルが形成され、エミッタ電極43とコレクタ電極44との間に電流が流れる。

【0071】実施例4

本実施例は、図1に示すトレンチMOSの他の製造方法に係るものである。

【0072】図15を参照して、N+型単結晶シリコン基板10の上にN-型単結晶シリコンエピタキシャル層

11を形成し、続いてP型ベース拡散層20、および複数のN型ソース拡散層21を形成する。N+型単結晶シリコン基板10とN-型単結晶シリコンエピタキシャル層11とP型ベース拡散層20とN型ソース拡散層21とを含めて、以下シリコン基板1という。

【0073】シリコン基板1の表面上に、膜厚300Åのシリコン酸化膜37を、たとえば熱酸化法により形成する。続いて、シリコン酸化膜37の上に膜厚1000Åのシリコン窒化膜38を、たとえばCVD法で堆積する。シリコン窒化膜38の上に、膜厚8000Åのシリコン酸化膜30を、たとえばCVD法で堆積する。シリコン酸化膜30は、トレンチを形成するためのエッチングの際のマスクとなるものであり、その膜厚は、その際のエッチングに耐え得るだけの膜厚であればよい。

【0074】図16を参照して、シリコン酸化膜30とシリコン窒化膜38とシリコン酸化膜37とからなる三層膜を、後のトレンチを形成する際のマスクになるように、所定の形状にパターンニングする。パターンニングされたシリコン酸化膜30をマスクにして、シリコン基板1中に、N型ソース拡散層21とP型ベース拡散層20とを貫通し、N-型単結晶シリコンエピタキシャル層11にまで至るトレンチ31を形成する。

【0075】次に、トレンチ31内のエッチングダメージを去除く目的で、トレンチ31の内壁面を熱酸化し、該トレンチ31の内壁面に膜厚1000Åのシリコン酸化膜（図示せず。以下、犠牲酸化膜という）を形成する。

【0076】その後、図17を参照して、犠牲酸化膜を除去する際に、シリコン酸化膜30も同時にエッチングされ、シリコン酸化膜30の表面は、位置30aから位置30bまで後退する。エッチングをたとえばフッ化水素水によるウェット法で行なうと、シリコン酸化膜30は、厚さ方向および横方向において、同じ量だけエッチングされる。エッチング量は、エッチング時間によって、コントロールされる。たとえば2000Åだけエッチングすれば、シリコン酸化膜30の膜厚は6000Åとなり、シリコン酸化膜30の開口部の側壁30eは、トレンチ31の開口部の側壁の位置から2000Åだけ後退する。

【0077】図18を参照して、トレンチ31の内壁面を、ゲート酸化膜となる膜厚500Åのシリコン酸化膜32で被覆する。その後、N型不純物を含んだ多結晶シリコン33をトレンチ31内に埋込まれるように、シリコン基板1の上に堆積する。

【0078】図18と図19を参照して、N型多結晶シリコン膜33をエッチバックする。この際、シリコン酸化膜30上のN型多結晶シリコン膜33を完全にエッチング除去するための時間より長い時間エッチングする。すなわち、多結晶シリコン膜33を、その上面がシリコン酸化膜30の上面と下面との間に位置するまで、エッ

チバックする。N型多結晶シリコン34の上面34aの位置は、シリコン酸化膜30の表面の位置より2000Å下になるのが好ましい。

【0079】図19と図20を参照して、シリコン酸化膜30をエッチング除去する。これによって、ゲートN型多結晶シリコン膜34は、シリコン窒化膜38の表面より上に、4000Å程度突出し、かつトレンチ31の開口部より横に、2000Å程度張出す。これにより、断面形状がT字型のゲート構造が得られる。

【0080】図20と図21を参照して、ゲートN型多結晶シリコン膜34の突出部分を、熱酸化し、それによってシリコン酸化膜35を形成する。シリコン酸化膜35の膜厚は、N型多結晶シリコン酸化膜34の横方向に張出した部分をすべて酸化させるような膜厚以上に設定する。たとえば、張出し量が2000Åの場合、シリコン酸化膜35の膜厚を4000Å程度に設定すれば、張出した部分をすべて酸化でき、結果的に、ゲートN型多結晶シリコン幅を、トレンチ31の開口部の幅に等しいか、または、それ以下にすることができる。上述のような熱酸化によって、断面形状T字型のゲートが断面形状I字型のゲートになる。シリコン酸化膜35は、ソース電極とゲート電極間の層間絶縁膜になるため、厚い方が有利である。しかしエミッタ電極のステップカバレッジとのトレードオフ関係にあるので、膜厚は総合的に考えなければならない。シリコン酸化膜35の膜厚は、ゲートN型多結晶シリコン膜34の横方向への張出し量で決定されるものである。しかし、その突出量 t_1 を考慮しながら、シリコン酸化膜30の堆積直後の膜厚、シリコン酸化膜30のエッチング量、N型多結晶シリコン膜34のエッチング量（34a）等の条件を変えることによって、シリコン酸化膜30の膜厚を自由に選択することが可能である。

【0081】また、シリコン酸化膜35を形成した後に、改めて、全面をエッチングすることによって、その膜厚を減らすことも可能である。ただし、以降の工程を考えて、ゲート酸化膜32の膜厚 t_{32} と下層シリコン酸化膜37の膜厚 t_{37} とシリコン酸化膜35の膜厚 t_{35} との関係は、次の不等式を満足するように選択する必要がある。

$$【0082】 \quad t_{32} + t_{37} < t_{35}$$

図21と図22を参照して、マスクを用いずに、シリコン窒化膜38とシリコン酸化膜37をエッチングする。シリコン酸化膜37のエッチング時間は、その膜厚 t_{37} に相応しい丁度の時間とすれば、シリコン酸化膜35の膜厚は、 $t_{35} - t_{37}$ （ $t_{35} - t_{37} > t_{32}$ ）になり、ゲートとソース間の絶縁耐圧はゲート酸化膜以上に保たれるので、半導体装置としての特性上、何ら問題はない。

【0083】図23を参照して、シリコン基板1の表面にソース電極41を形成し、シリコン基板1の裏面にド

レイン電極42を形成すると、トレンチMOSが完成する。

【0084】本実施例によれば、トレンチを形成する際のエッチング時に生じたダメージや汚染を除去するための犠牲酸化の工程を追加することによって、トレンチMOSの電気的特性が向上するという第5の効果と、実施例1で生じる第1から第4の効果が得られる。

【0085】なお、上記実施例では、トレンチ構造の縦型MOSに適用した例を示したが、この発明はこれに限られるものではなく、トレンチ構造の横型MOS、トレンチ構造の縦型IGBTをはじめ、トレンチ側面にチャネルを形成し、トレンチの縦方向に電流を流す半導体装置のすべてに、適用され得る。

【0086】また、本実施例でも、実施例1と同様に、下記の不等式が満足されるのが好ましい。

【0087】

$$(t_1 + d_1) / w_1 \leq 1.2, \quad t_1 / w_3 \leq 2$$

実施例5

本実施例は、トレンチMOSのさらに他の製造方法に係るものである。

【0088】図24を参照して、N+型単結晶シリコン基板10の上にN-型単結晶シリコンエピタキシャル層11を形成し、続いて、その上にP型ベース拡散層20と複数のN型ソース拡散層21を形成する。以下、これをシリコン基板1という。

【0089】シリコン基板1の表面に、膜厚8000Åのシリコン酸化膜30を、たとえばCVD法で形成する。シリコン酸化膜30は、トレンチを形成するためのエッチングの際のマスクとなるもので、その膜厚は、その際のエッチングに耐え得るだけの膜厚であればよい。

【0090】図25を参照して、シリコン酸化膜30を、後のトレンチを形成する際のマスクとなるように、所定の形状にパターンニングする。パターンニングされたシリコン酸化膜30をマスクにして、シリコン基板1中に、N型ソース拡散層21とP型ベース拡散層20とを貫通し、N-型単結晶シリコンエピタキシャル層11にまで至るトレンチ31を形成する。

【0091】図26を参照して、トレンチ31内のエッチングダメージを除去く目的で、トレンチ31内に、熱酸化法で、膜厚1000Åの犠牲酸化膜を形成する（図示せず）。その後、この犠牲酸化膜を除去する際、トレンチを形成するためのエッチングのマスクとなるシリコン酸化膜30も同時にエッチングされ、その表面は位置30aから位置30bまで後退する。このエッチングをたとえばフッ化水素水を用いるウェット法で行なうと、シリコン酸化膜30は、厚さ方向と横方向に同じ量だけエッチングされる。このエッチング量は、エッチング時間にコントロールされる。シリコン酸化膜30を2000Åだけエッチングすれば、シリコン酸化膜30の膜厚

は6000Åとなり、シリコン酸化膜30の開口部の側壁30eは、トレンチ31の側壁面から2000Åだけ後退する。

【0092】図27を参照して、トレンチ31の内壁面に、ゲート酸化膜となる膜厚500Åのシリコン酸化膜32を形成する。その後N型不純物を含んだ多結晶シリコン膜33をトレンチ31内に埋込まれるように、シリコン基板1の上に堆積する。なおゲート酸化膜（32）の膜厚は、要求されるべき特性により適宜変更される。

【0093】図27と図28を参照して、N型多結晶シリコン膜33をエッチバックする。この際、シリコン酸化膜30上のN型多結晶シリコン膜33を完全にエッチングするための時間より長い時間エッチングする。すなわち、N型多結晶シリコン膜34の上面34aの位置が、シリコン酸化膜30の表面より2000Å下に位置するようにエッチングする。

【0094】図28と図29を参照して、シリコン酸化膜30をエッチング除去すると、ゲートN型多結晶シリコン膜34は、シリコン基板1の表面上に4000Å程度突出し、かつトレンチ31の開口部より横に2000Å程度張出し、断面形状がT字型のゲート構造が得られる。

【0095】図30を参照して、N型多結晶シリコン膜34の突出部分の表面を熱酸化法により酸化し、シリコン酸化膜35を形成する。シリコン酸化膜35の膜厚は、N型多結晶シリコン膜34の横方向へ張出した部分をすべて酸化させるような膜厚以上に設定する。たとえば、張出し量が2000Åの場合、シリコン酸化膜35の膜厚を4000Å程度に設定すれば、張出した部分をすべて酸化でき、結果的に、ゲートN型多結晶シリコン膜の幅は、トレンチ31の開口部の幅に等しいか、または、それより小さくなる。また、ゲートN型多結晶シリコン膜34の上面にも、同じ膜厚のシリコン酸化膜35が形成される。シリコン酸化膜35は、このままの状態でもよいし、全面エッチングをすることにより、その膜厚を減らすこともできるし、また、完全に除去してしまうことも可能である。

【0096】シリコン酸化膜35の膜厚は、ゲートN型多結晶シリコン膜30の横方向への張出し量で決定されるものであるが、突出部分 t_1 を考慮しながら、シリコン酸化膜30の堆積直後の膜厚、シリコン酸化膜30のエッチング量、N型多結晶シリコン膜34のエッチング量（34a）などの条件を変えることによって自由に選択することが可能である。

【0097】図31を参照して、シリコン基板1の表面に、CVD法で、膜厚8000Åの層間膜を堆積する。

【0098】図32を参照して、写真製版を用いて層間膜36をパターンニングし、シリコン基板1の表面にコンタクト領域を形成する。

【0099】最後に、図33を参照して、シリコン基板

1の表面にソース電極41を形成し、シリコン基板1の裏面にドレイン電極42を形成して、トレンチMOSを完成する。

【0100】本実施例によれば、トレンチを形成する際のエッチング時に生じたダメージや汚染を去除するための犠牲酸化の工程を追加することにより、トレンチMOSの電気的特性が向上するという第5の効果が生じる。

【0101】なお、本実施例では、トレンチ構造の縦型MOSに適用した例を示したが、この発明はこれに限られるものではなく、トレンチ構造の横型MOS、トレンチ構造の縦型IGBTをはじめ、トレンチ側面にチャネルを形成し、トレンチの縦方向に電流を流す半導体装置のすべてに、適用され得る。

【0102】また、本実施例でも、実施例1と同様に、下記の不等式が満足されるのが好ましい。

【0103】

$$(t_1 + d_1) / w_1 \leq 1.2, \quad t_1 / w_3 \leq 2$$

実施例6

図34は、実施例6に係るトレンチMOSの断面図である。

【0104】図34を参照して、当該トレンチMOSは、シリコン基板1を備える。シリコン基板1は、N+型単結晶シリコン基板10と、N-型単結晶シリコンエピタキシャル層11と、P型ベース拡散層20と、N型ソース拡散層21とを含む。シリコン基板1中に、N型ソース拡散層21とP型ベース拡散層20とを貫通し、かつN-型単結晶シリコンエピタキシャル層11にまで至るトレンチ31が形成されている。トレンチ31の内壁面をゲート絶縁膜32が被覆している。トレンチ31内に、シリコン基板1の表面よりも上に突出するゲート電極34が埋込まれている。ゲート電極34の突出部分は、上方向に向かうにつれて、その幅が狭くされている。シリコン基板1の表面領域を被覆せず、ゲート電極34の突出部分のみを、絶縁膜35が被覆している。シリコン基板1の表面にソース電極41が形成され、シリコン基板1の裏面にドレイン電極42が形成されている。

【0105】本実施例によれば、ゲート電極34の突出部分の幅が、上方向に向かうにつれて、狭くされているので、ソース電極41のステップカバレッジ性がよくなるという利点がある。

【0106】次に、図34に示すトレンチMOSの製造方法について説明する。まず図5から図8までに示す処理と同一の処理が行なわれる。

【0107】図35を参照して、シリコン酸化膜30を、4000Åエッチングし、ゲートN型多結晶シリコン膜34をシリコン酸化膜30の表面より2000Å程度上に突出させる。実施例1では、シリコン酸化膜30のすべてをエッチング除去しているが、本実施例では、シリコン酸化膜30を残すところに特徴がある。

【0108】図36を参照して、ゲート電極34の突出部分の表面を、熱酸化方法を用いて酸化し、膜厚1000Åのシリコン酸化膜35aを形成する。

【0109】図36と図37を参照して、シリコン酸化膜30とシリコン酸化膜35aをエッチングする。エッチング量は、シリコン酸化膜30の残膜が2000Å程度になるように設定する。このときゲートN型多結晶シリコン膜34の表面は酸化により消費され、その表面に段差が生じる。

【0110】図37と図38を参照して、熱酸化方法を用いて、さらに、ゲート電極34の突出部の表面を酸化し、膜厚1000Åのシリコン酸化膜35bを形成する。

【0111】図38と図39を参照して、シリコン酸化膜30とシリコン酸化膜35bをすべてエッチング除去する。

【0112】図40を参照して、熱酸化方法を用いて、ゲート電極34の突出部をさらに酸化し、改めて膜厚1000Åのシリコン酸化膜35cを形成する。

【0113】図40と図41を参照して、マスクを用いず、シリコン窒化膜38とシリコン酸化膜37をエッチング除去する。シリコン基板1の表面にソース電極41を形成し、シリコン基板1の裏面にドレイン電極42を形成すると、トレンチMOSが完成する。

【0114】本実施例によると、図36から図38に示すような酸化工程とエッチング工程を繰返すことにより、ゲートN型多結晶シリコン膜34の表面は階段状になり、ひいては、ゲートN型多結晶シリコン膜34の上端部の幅は、トレンチ開口部の幅より、狭くなる。酸化工程とエッチング工程との繰返し回数、酸化膜の膜厚、エッチング量は、突出量 t_1 を考慮しながら、自由に選択され得る。

【0115】また、実施例6に係る方法を用いると、図42、図43に示すような、トレンチMOSを形成することもできる。

【0116】なお、これらの図において、図1に示す半導体装置と同一または相当する部分には、同一の参照番号を付し、その説明は繰返さない。

【0117】実施例7

本実施例は、ゲート電極の突出部分の幅が、上方向に向かうにつれて狭くされている、トレンチMOSの他の製造方法に係る。

【0118】まず、図5から図8までに示す処理同様の処理が行なわれる。図8と図44を参照して、シリコン酸化膜30を、2000Å程度残すように、エッチングし、ゲートN型多結晶シリコン膜34をシリコン酸化膜30の表面より4000Å程度上に突出させる。

【0119】図45を参照して、イオンスputterエッチング法を用いると、ゲートN型多結晶シリコン膜34の突出部の上端の角が速くエッチングされ、上部で丸みを

帯びたゲート構造34が得られる。

【0120】なお、ゲートN型多結晶シリコン膜34を等方性エッチング法を用いると、ゲートN型多結晶シリコン膜34の突出部の上面と側面が同時にエッチングされ、図48に示すような、傾斜を持ったゲート構造34が得られる。これらのエッチングを連続して行なえば、傾斜を持ち、かつ丸みを帯びたゲート構造が得られる。ゲートN型多結晶シリコン膜34のエッチングは、上述の方法に限らず、エッチング後に、ゲートN型多結晶シリコン膜34の突出部の上端の幅が、トレンチ開口部の幅より狭くなるような方法であれば、いずれの方法も使用し得る。

【0121】図45と図46を参照して、シリコン酸化膜30をすべてエッチング除去した後、ゲート電極34の上部の突出部の表面を熱酸化方法を用いて酸化し、膜厚1000Åシリコン酸化膜35を形成する。

【0122】その後、シリコン窒化膜38とシリコン酸化膜37をエッチング除去する。図47を参照して、シリコン基板1の表面にソース電極41を形成し、シリコン基板1の裏面にドレイン電極42を形成すると、トレンチMOSが完成する。

【0123】本実施例において図45を参照して、ゲートN型多結晶シリコン膜34のエッチング量は、シリコン酸化膜30のエッチング量、シリコン酸化膜35の膜厚を変更することにより、突出部 t_1 を考慮しながら、自由に選択され得る。また、ゲートN型多結晶シリコン膜34のエッチングは、シリコン酸化膜30を残した状態で行なってもよいし、さらに、シリコン窒化膜38を除去し、シリコン酸化膜37を露出させた状態で行なってもよい。

【0124】実施例7に係る方法を用いると、図49、図50、図51、図52に示すようなトレンチMOSを製造することも可能である。なお、これらの図において、図1に示すトレンチMOSと同様または相当する部分には同一の参照番号を付し、その説明を繰返さない。

【0125】実施例8

本実施例は、実施例4で説明した製造方法を、従来のトレンチMOSの製造を適用した場合に係る。

【0126】まず、図15と図16に示す方法で、トレンチ31を形成する。次に、図17に示すように、トレンチ31内に、熱酸化法で膜厚2000Åのシリコン酸化膜（図示せず。犠牲酸化膜）を形成する。その後、この犠牲酸化膜を除去する際、トレンチを形成するためのマスクとなるシリコン酸化膜30も同時にエッチングする。エッチングを、たとえばフッ化水素水を用いるウェット法で行なうと、シリコン酸化膜30は、厚さ方向と横方向に同じ量だけエッチングされる。このエッチング量は、エッチング時間でコントロールされる。たとえば、シリコン酸化膜30を3000Åだけエッチングすれば、シリコン酸化膜30の膜厚は5000Åとなり、

その側壁30eはトレンチ31の開口部から3000Åだけ後退する。

【0127】図18を参照して、トレンチ31内に、ゲート酸化膜となる膜厚500Åのシリコン酸化膜32を形成する。その後、トレンチ31内に埋込まれるように、N型不純物を含んだ多結晶シリコン膜33をシリコン基板1の表面に堆積する。

【0128】図18と図19を参照して、N型多結晶シリコン膜33をエッチバックする。この際、シリコン酸化膜30上のN型多結晶シリコン膜33を完全にエッチングするための時間より長い時間エッチングする。すなわち、N型多結晶シリコン膜34の上面34aの位置が、シリコン酸化膜30の表面より2000Å下に位置するようにエッチバックする。

【0129】図19と図20を参照して、シリコン酸化膜30をエッチング除去すると、ゲートN型多結晶シリコン膜34は、シリコン窒化膜38の表面より上に3000Å程度突出し、かつトレンチ31の開口部より横に3000Å程度張出した、断面形状がT字型のゲート34になる。

【0130】次に、図53を参照して、ゲート電極（34）の上部の表面を熱酸化し、膜厚1000Åのシリコン酸化膜35を形成する。この熱酸化により、N型多結晶シリコン膜34の表面が消費され、突出量と張出し量はともに2500Å程度になる。この突出量 t_1 と張出し量は、シリコン酸化膜30の膜厚、シリコン酸化膜のエッチング量、N型多結晶シリコン膜34のエッチング量、およびこの工程で形成されたシリコン酸化膜35の厚さで決まるものであり、所望の突出量 t_1 、張出し量になるよう、それぞれの条件を、適宜変更する。

【0131】ただし、以降の工程を考えて、ゲート酸化膜32の膜厚 t_{32} と下層シリコン酸化膜37の膜厚 t_{37} と、この工程で形成されるシリコン酸化膜35の膜厚 t_{35} との関係は次の不等式を満足するように、選ぶ必要がある。

$$【0132】 t_{32} + t_{37} < t_{35}$$

図53と図54を参照して、マスクを用いなくて、シリコン窒化膜38とシリコン酸化膜37をエッチングする。シリコン酸化膜37のエッチング時間は、その膜厚 t_{37} に相応しいちょうど時間で行なえば、シリコン酸化膜35の膜厚は、 $t_{35} - t_{37}$ ($t_{35} - t_{37} > t_{32}$) になり、ゲート電極とソース間の絶縁耐圧はゲート酸化膜以上に保たれるので、半導体装置の特性に何ら問題は生じない。

【0133】図55を参照して、シリコン基板1の表面にソース電極41を形成し、シリコン基板1の裏面にドレイン電極42を形成すると、トレンチMOSが完成する。

【0134】このようにして製造される、トレンチ構造の縦型MOSでは、実施例4と同様の効果を生じるが、

ゲートN型多結晶シリコン膜が横方向に張出すため、パターンの縮小効果は少ない。しかしながら、従来の技術に比べて、ゲート電極の横方向の張出し量が、シリコン酸化膜のエッチング量のコントロールにより容易に制御できる。

【0135】本方法も、トレンチ構造の横型MOSとトレンチIGBTをはじめ、トレンチ側面にチャネルを形成し、トレンチの縦方向に電流を流す半導体装置のすべてに、適用できる。なお、本実施例においても、次の不等式を満足するのが望ましい。

$$【0136】(t_1 + d_1) / w_1 \leq 12$$

また、N型多結晶シリコン膜34の間隔を w_5 とすると、ソース電極41のステップカバレッジ性を考えると、次の不等式を満たすことが望ましい。

$$【0137】t_1 / w_5 \leq 2$$

実施例9

本実施例は、実施例5に示す製造方法で、従来のトレンチMOSを形成する方法に係る。

【0138】まず、図24～図29に示す処理と同じ処理が行なわれる。図24と図25を参照して、トレンチ31を形成する。図26を参照して、トレンチ内に熱酸化法で、膜厚2000Åのシリコン酸化膜を形成する

(図示せず。これを犠牲酸化膜という)。その後、犠牲酸化膜を除去する際、シリコン酸化膜35も同時にエッチングされる。このエッチングを、たとえば、フッ化水素水によるウェット法で行なうと、シリコン酸化膜30は、厚さ方向と横方向に、同じ量だけエッチングされる。このエッチング量は、エッチング時間でコントロールされる。たとえば、シリコン酸化膜35を3000Åだけエッチングすれば、シリコン酸化膜30の膜厚は5000Åとなり、シリコン酸化膜30の側壁30eは、トレンチの開口部から3000Åだけ後退する。

【0139】図27を参照して、トレンチ31内に、ゲート酸化膜となる膜厚500Åのシリコン酸化膜32を形成する。その後、N型不純物を含んだ多結晶シリコン膜33をトレンチ31内に埋込まれるように、シリコン基板1の表面に堆積する。

【0140】図28を参照して、シリコン酸化膜30上のN型多結晶シリコン膜33をすべてエッチング除去し、さらに、N型多結晶シリコン膜34を、その上面34aがシリコン酸化膜30の表面より2000Å下に位置するまで、エッチングする。

【0141】図28と図29を参照して、シリコン酸化膜30をエッチング除去すると、ゲートN型多結晶シリコン膜34は、シリコン基板1の表面より上に、3000Å程度突出し、かつトレンチの開口部より横に3000Å程度張出し、断面形状T字型のゲート構造が得られる。

【0142】次に、図56を参照して、N型多結晶シリコン膜34の突出部を被覆するように、熱酸化方法を用

いて、膜厚1000Åのシリコン酸化膜35を形成する。この酸化によりN型多結晶シリコン膜34の突出部の表面が酸化され、突出量と張出し量は、ともに2500Åになる。この突出量 t_1 と張出し量はシリコン酸化膜30の膜厚、シリコン酸化膜30のエッチング量、N型多結晶シリコン膜34のエッチング量、およびこの工程において形成されるシリコン酸化膜35とで決まるものであり、それぞれを、所望の突出量 t_1 、張出し量になるように、それぞれの条件を適宜変更することができる。なお、シリコン酸化膜35を形成する工程は、省略することもできる。

【0143】図57を参照して、CVD法で、膜厚8000Åの層間膜36をシリコン基板1の上に堆積する。

【0144】図57と図58を参照して、層間膜36をエッチングすることにより、シリコン基板1の表面にコンタクト領域を形成する。

【0145】図59を参照して、シリコン基板1の表面にソース電極41を形成し、シリコン基板の裏面にドレイン電極42を形成すると、トレンチMOSが完成する。

【0146】このようにして製造されるトレンチ構造の縦型MOSでは、実施例5と同様の効果があるが、ゲートN型多結晶シリコン膜が横方向に張出すため、パターンの縮小効果は実施例5に比べ少ない。しかしながら、従来の技術に対し、ゲート電極の横方向の張出し量が、シリコン酸化膜のエッチング量のコントロールにより容易に制御できる。

【0147】本方法も、トレンチ構造の横型MOS、トレンチIGBTをはじめ、トレンチの側面にチャネルを形成し、トレンチの縦方向に電流を流す半導体装置のすべてに、適用できる。

【0148】なお、本実施例でも、次の不等式を満足するように、実施することが好ましい。

$$【0149】(t_1 + d_1) / w_1 \leq 12$$

さらに、N型多結晶シリコン34の間隔を w_5 とすると、ソース電極41のステップカバレッジ性を考えると、次の関係式を満たすことが好ましい。

$$【0150】t_1 / w_5 \leq 2$$

実施例10

上記実施例では、その断面図において、ゲートN型多結晶シリコン34の上面の形状はすべて平面であったが、本発明は、これに限られるものではない。トレンチ31を埋込むN型多結晶シリコン膜33の膜厚を減らしたり、十分な平坦化を行なわない場合は、ゲートN型多結晶シリコン膜34の上面は凹型の形状となる。この状態でも同様の効果が得られる。この場合、N型多結晶シリコン33の膜厚を薄くして生産性を上げることや、平坦化の工程が省略できるといった利点と、ゲートN型多結晶シリコン膜34の加工がやや難しくなるといった欠点の両方が同時に発生する。したがって、ゲートN型多結

晶シリコン34の上面を平面にするか、あるいは凹型形状にするかは、上記の利点と欠点を考えて、自由に選択すればよい。

【0151】

【発明の効果】以上説明したとおり、この発明の第1の局面に従う半導体装置によれば、ゲート電極の突出部分を被覆する絶縁膜が、半導体基板の表面領域を被覆せず、ゲート電極の突出部分のみを被覆しているため、絶縁膜が水平方向に広がらず、ひいては占有面積を小さくすることができるという効果を奏する。

【0152】この発明の第2の局面に従う半導体装置によれば、ゲート電極の突出部分の幅が、上方向に向かうにつれて狭くされているので、第1の電極のステップカバレッジ性がよくなるという効果を奏する。

【0153】この発明の第3の局面に従う半導体装置の製造方法によれば、マスクを用いずに、シリコン窒化膜をエッチング除去するので、マスク合わせが不要となり、ひいては工程が簡略化する。

【0154】この発明の第4の局面に従う半導体装置の製造方法によれば、マスクを用いずにシリコン基板の表面のシリコン酸化膜をエッチングして、それによって、多結晶シリコンの上部をシリコン基板の表面より上に突出させるので、マスク合わせが不要となり、ひいては工程が簡略化する。

【0155】この発明の第5の局面に従う半導体装置の製造方法によれば、マスクを用いずに、シリコン窒化膜をエッチング除去するので、マスク合わせが不要となり、ひいては工程が簡略化する。

【図面の簡単な説明】

【図1】 本発明の一実施例に係るトレンチ構造のMOSトランジスタの断面図である。

【図2】 本発明において形成されるトレンチの斜視図である。

【図3】 本発明において形成されるトレンチの平面図である。

【図4】 本発明において採用されるトレンチの他の実施例の平面図である。

【図5】 実施例1に係る半導体装置の製造方法の順序の第1の工程における半導体装置の断面図である。

【図6】 実施例1に係る半導体装置の製造方法の順序の第2の工程における半導体装置の断面図である。

【図7】 実施例1に係る半導体装置の製造方法の順序の第3の工程における半導体装置の断面図である。

【図8】 実施例1に係る半導体装置の製造方法の順序の第4の工程における半導体装置の断面図である。

【図9】 実施例1に係る半導体装置の製造方法の順序の第5の工程における半導体装置の断面図である。

【図10】 実施例1に係る半導体装置の製造方法の順序の第6の工程における半導体装置の断面図である。

【図11】 実施例1に係る半導体装置の製造方法の順

序の第7の工程における半導体装置の断面図である。

【図12】 実施例1に係る半導体装置の製造方法の順序の第8の工程における半導体装置の断面図である。

【図13】 実施例2に係る、トレンチ構造のMOSトランジスタの断面図である。

【図14】 実施例3に係る、トレンチ構造のMOSトランジスタの断面図である。

【図15】 実施例4に係る、半導体装置の製造方法の順序の第1の工程における半導体装置の断面図である。

【図16】 実施例4に係る、半導体装置の製造方法の順序の第2の工程における半導体装置の断面図である。

【図17】 実施例4に係る、半導体装置の製造方法の順序の第3の工程における半導体装置の断面図である。

【図18】 実施例4に係る、半導体装置の製造方法の順序の第4の工程における半導体装置の断面図である。

【図19】 実施例4に係る、半導体装置の製造方法の順序の第5の工程における半導体装置の断面図である。

【図20】 実施例4に係る、半導体装置の製造方法の順序の第6の工程における半導体装置の断面図である。

【図21】 実施例4に係る、半導体装置の製造方法の順序の第7の工程における半導体装置の断面図である。

【図22】 実施例4に係る、半導体装置の製造方法の順序の第8の工程における半導体装置の断面図である。

【図23】 実施例4に係る、半導体装置の製造方法の順序の第9の工程における半導体装置の断面図である。

【図24】 実施例5に係る、半導体装置の製造方法の順序の第1の工程における半導体装置の断面図である。

【図25】 実施例5に係る、半導体装置の製造方法の順序の第2の工程における半導体装置の断面図である。

【図26】 実施例5に係る、半導体装置の製造方法の順序の第3の工程における半導体装置の断面図である。

【図27】 実施例5に係る、半導体装置の製造方法の順序の第4の工程における半導体装置の断面図である。

【図28】 実施例5に係る、半導体装置の製造方法の順序の第5の工程における半導体装置の断面図である。

【図29】 実施例5に係る、半導体装置の製造方法の順序の第6の工程における半導体装置の断面図である。

【図30】 実施例5に係る、半導体装置の製造方法の順序の第7の工程における半導体装置の断面図である。

【図31】 実施例5に係る、半導体装置の製造方法の順序の第8の工程における半導体装置の断面図である。

【図32】 実施例5に係る、半導体装置の製造方法の順序の第9の工程における半導体装置の断面図である。

【図33】 実施例5に係る、半導体装置の製造方法の順序の第10の工程における半導体装置の断面図である。

【図34】 実施例5に係る、半導体装置の製造方法の順序の第11の工程における半導体装置の断面図である。

【図35】 実施例6に係る、半導体装置の製造方法の

順序の第1の工程における半導体装置の断面図である。

【図36】 実施例6に係る、半導体装置の製造方法の順序の第2の工程における半導体装置の断面図である。

【図37】 実施例6に係る、半導体装置の製造方法の順序の第3の工程における半導体装置の断面図である。

【図38】 実施例6に係る、半導体装置の製造方法の順序の第4の工程における半導体装置の断面図である。

【図39】 実施例6に係る、半導体装置の製造方法の順序の第5の工程における半導体装置の断面図である。

【図40】 実施例6に係る、半導体装置の製造方法の順序の第6の工程における半導体装置の断面図である。

【図41】 実施例6に係る、半導体装置の製造方法の順序の第7の工程における半導体装置の断面図である。

【図42】 実施例6に係る方法で製造した、トレンチ構造の他の縦型MOSトランジスタの断面図である。

【図43】 実施例6の方法で製造した、トレンチ構造のさらに他の縦型MOSトランジスタの断面図である。

【図44】 実施例7に係る、半導体装置の製造方法の順序の第1の工程における半導体装置の断面図である。

【図45】 実施例7に係る、半導体装置の製造方法の順序の第2の工程における半導体装置の断面図である。

【図46】 実施例7に係る、半導体装置の製造方法の順序の第3の工程における半導体装置の断面図である。

【図47】 実施例7に係る、半導体装置の製造方法の順序の第4の工程における半導体装置の断面図である。

【図48】 実施例7の方法で製造した、トレンチ構造の他の縦型MOSトランジスタの断面図である。

【図49】 実施例7に係る方法で製造した、トレンチ構造のさらに他の縦型MOSトランジスタの断面図である。

【図50】 実施例7に係る方法で製造した、トレンチ構造のさらに他の縦型MOSトランジスタの断面図である。

【図51】 実施例7に係る方法で製造した、トレンチ構造のさらに他の縦型MOSトランジスタの断面図である。

【図52】 実施例7に係る方法で製造した、トレンチ構造のさらに他の縦型MOSトランジスタの断面図である。

【図53】 実施例8に係る、半導体装置の製造方法の

順序の第1の工程における半導体装置の断面図である。

【図54】 実施例8に係る、半導体装置の製造方法の順序の第2の工程における半導体装置の断面図である。

【図55】 実施例8に係る、半導体装置の製造方法の順序の第3の工程における半導体装置の断面図である。

【図56】 実施例9に係る、半導体装置の製造方法の順序の第1の工程における半導体装置の断面図である。

【図57】 実施例9に係る、半導体装置の製造方法の順序の第2の工程における半導体装置の断面図である。

【図58】 実施例9に係る、半導体装置の製造方法の順序の第3の工程における半導体装置の断面図である。

【図59】 実施例9に係る、半導体装置の製造方法の順序の第4の工程における半導体装置の断面図である。

【図60】 従来の、トレンチ構造の縦型MOSトランジスタの断面図である。

【図61】 従来の、半導体装置の製造方法の順序の第1の工程における半導体装置の断面図である。

【図62】 従来の、半導体装置の製造方法の順序の第2の工程における半導体装置の断面図である。

【図63】 従来の、半導体装置の製造方法の順序の第3の工程における半導体装置の断面図である。

【図64】 従来の、半導体装置の製造方法の順序の第4の工程における半導体装置の断面図である。

【図65】 従来の、半導体装置の製造方法の順序の第5の工程における半導体装置の断面図である。

【図66】 従来の、半導体装置の製造方法の順序の第6の工程における半導体装置の断面図である。

【図67】 従来の、半導体装置の製造方法の順序の第7の工程における半導体装置の断面図である。

【図68】 他の、従来の半導体装置の断面図である。

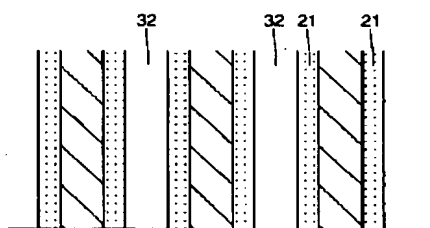
【図69】 さらに他の、従来のトレンチ構造の縦型MOSトランジスタの断面図である。

【図70】 さらに他の、従来のトレンチ構造の縦型MOSトランジスタの断面図である。

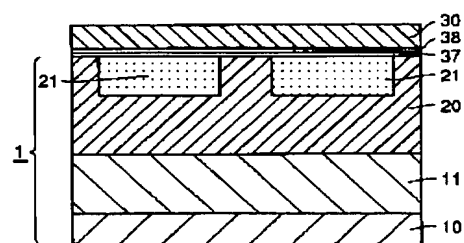
【符号の説明】

1 半導体基板、11 第3の不純物拡散層、20 第2の不純物拡散層、21 第1の不純物拡散層、31 トレンチ、32 ゲート絶縁膜、34 ゲート電極、35 絶縁膜、41 第1の電極、42 第2の電極。

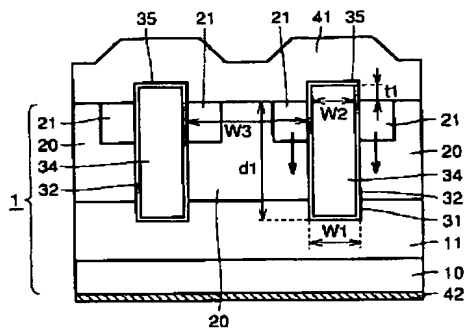
【図3】



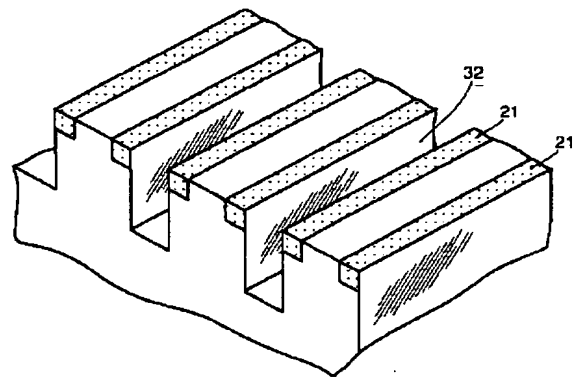
【図5】



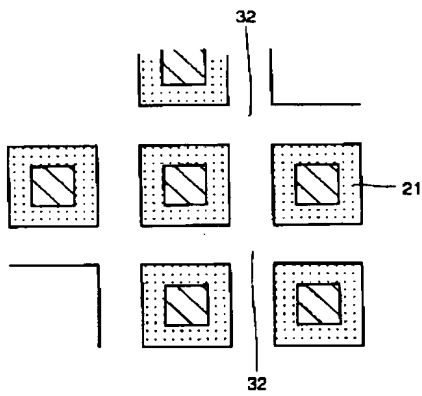
【図 1】



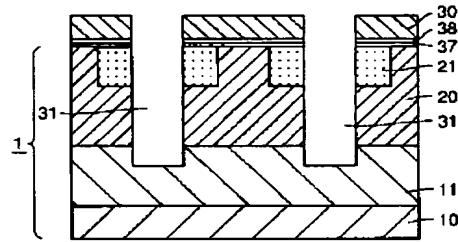
【図 2】



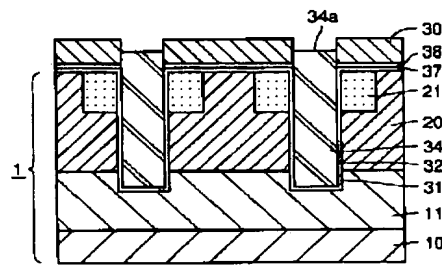
【図 4】



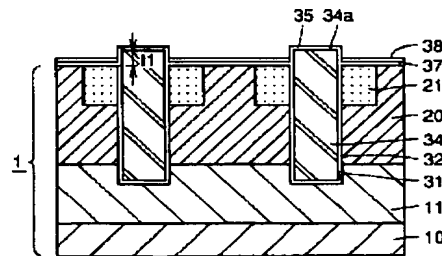
【図 6】



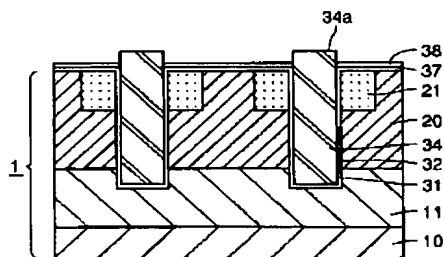
【図 8】



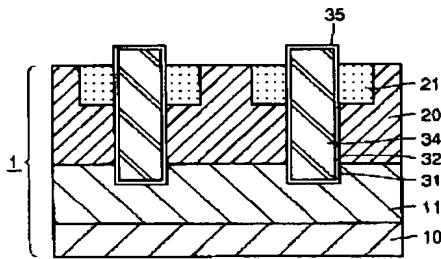
【図 10】



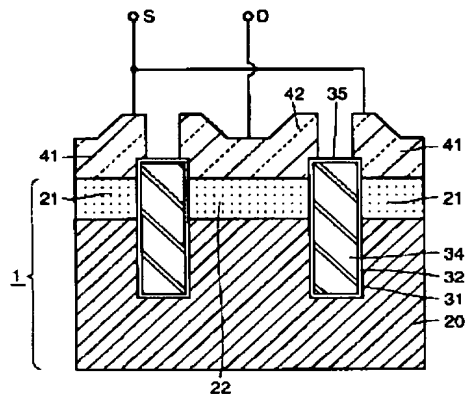
【図 9】



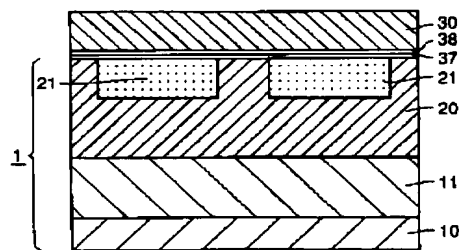
【图 1 1】



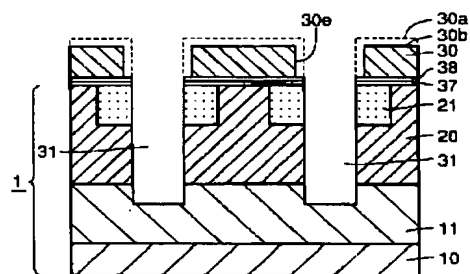
【图 13】



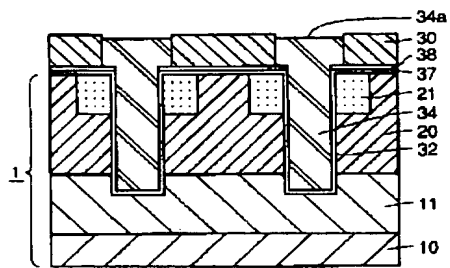
【図 15】



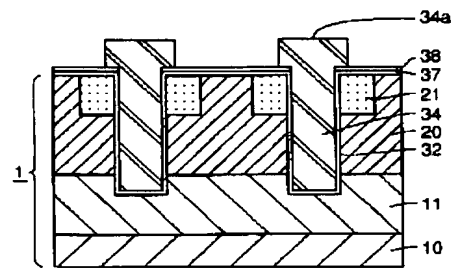
【図 17】



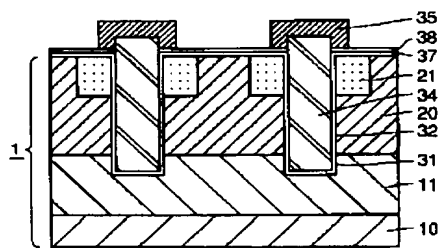
【図 19】



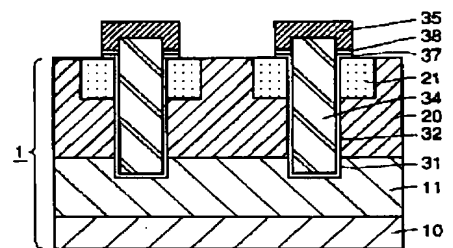
【図 20】



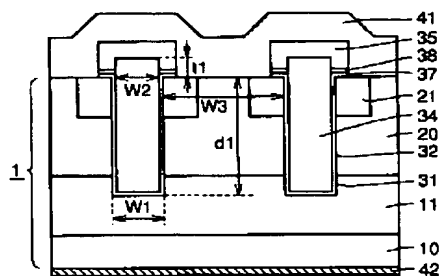
【図 21】



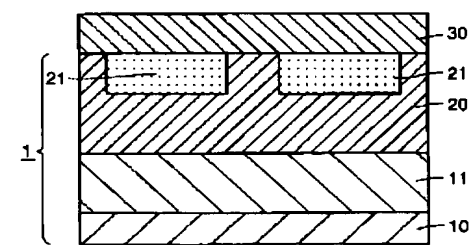
【図 22】



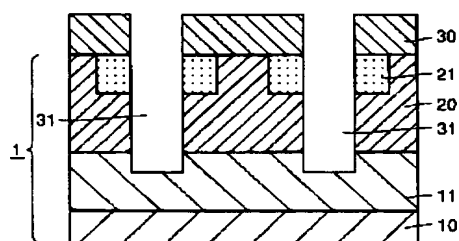
【図 23】



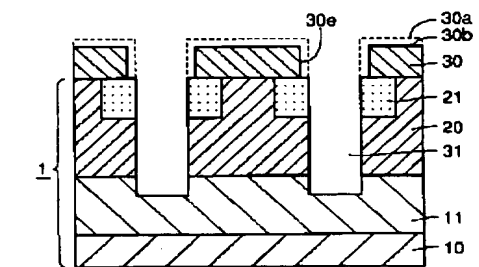
【図 24】



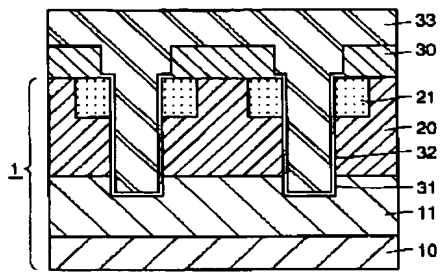
【図 25】



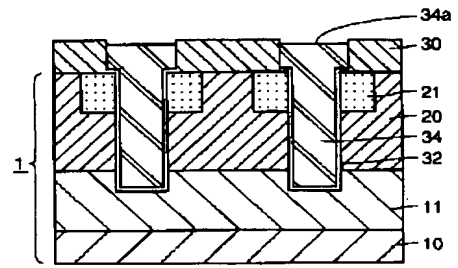
【図 26】



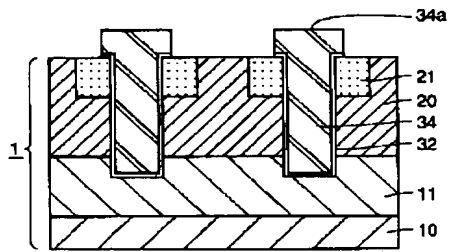
【図 27】



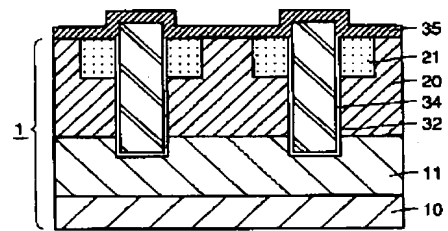
【図 28】



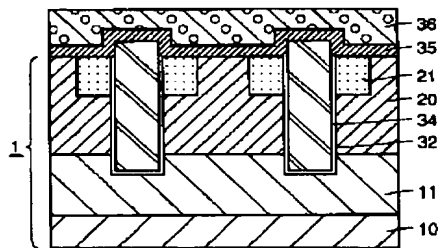
【図 29】



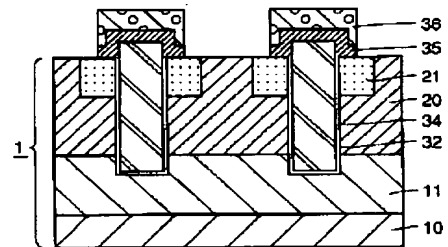
【図 30】



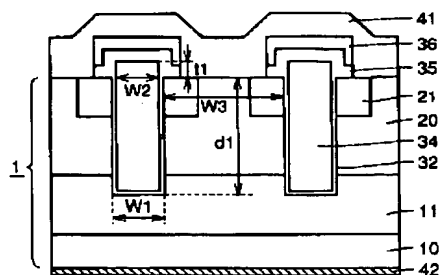
【図 31】



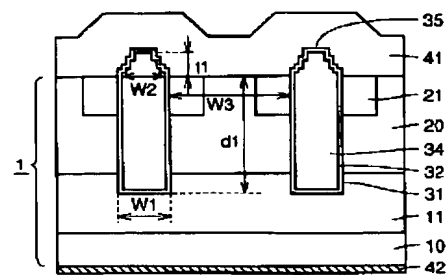
【図 32】



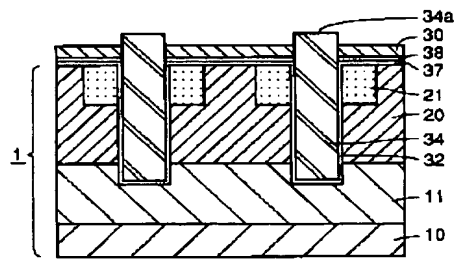
【図 33】



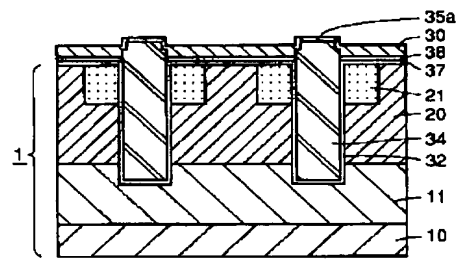
【図 34】



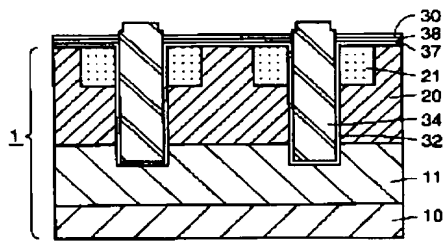
【図 3 5】



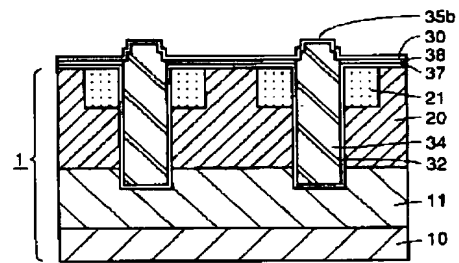
【図 3 6】



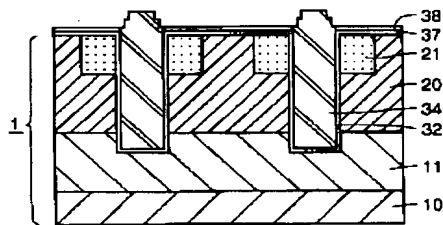
【図 3 7】



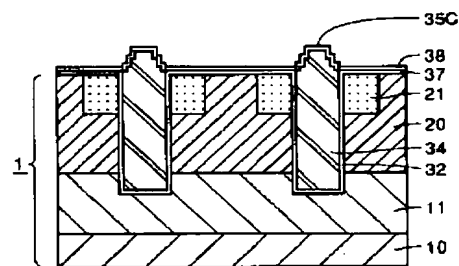
【図 3 8】



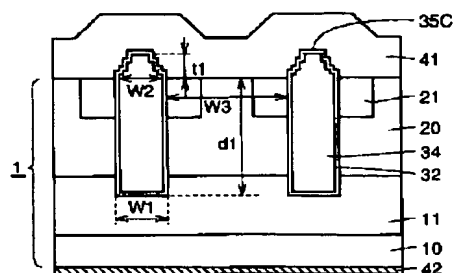
【図 3 9】



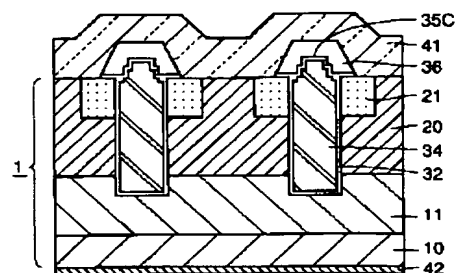
【図 4 0】



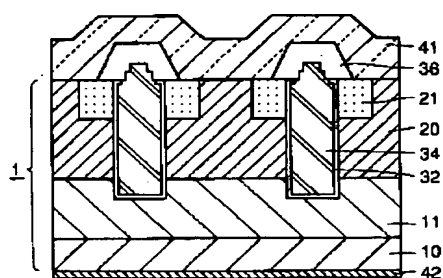
【図 4 1】



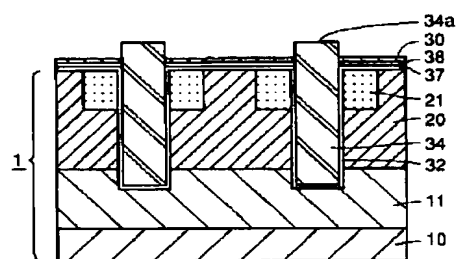
【図 4 2】



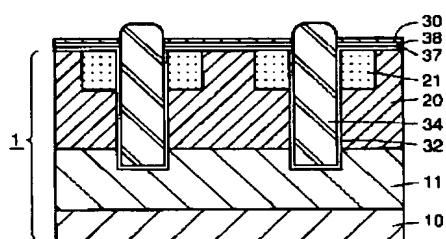
【図 4 3】



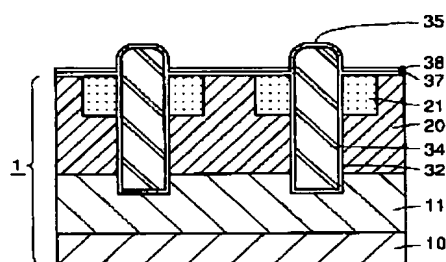
【図 4 4】



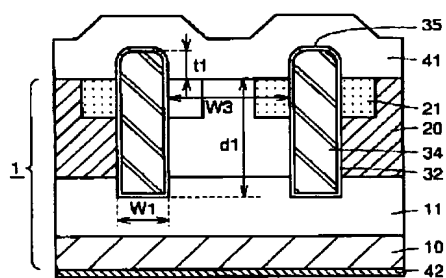
【図 4 5】



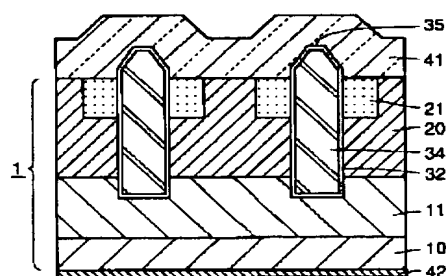
【図 4 6】



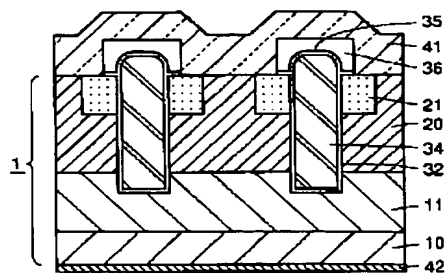
【図 4 7】



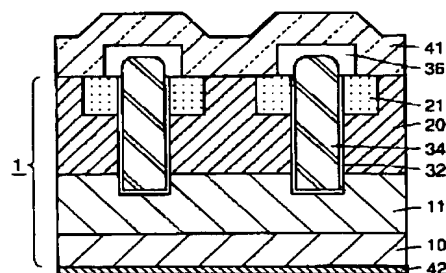
【図 4 8】



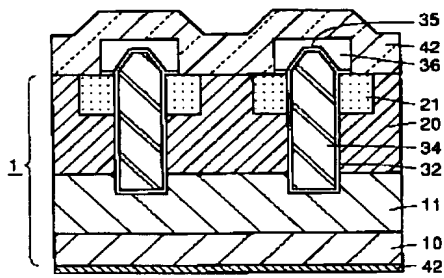
【図 4 9】



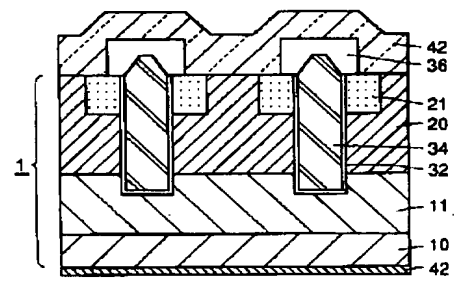
【図 5 0】



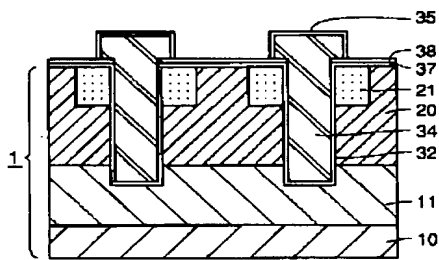
【図 5 1】



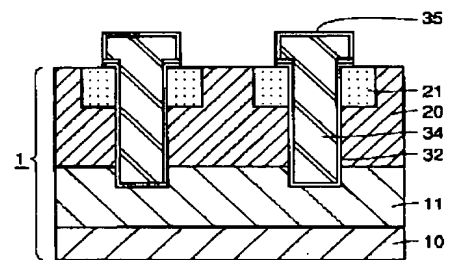
【図 5 2】



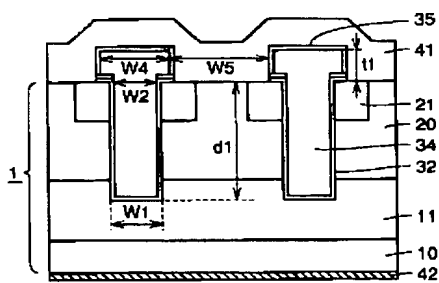
【図 5 3】



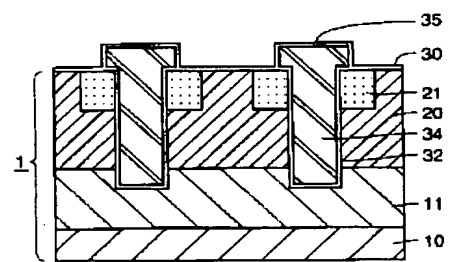
【図 5 4】



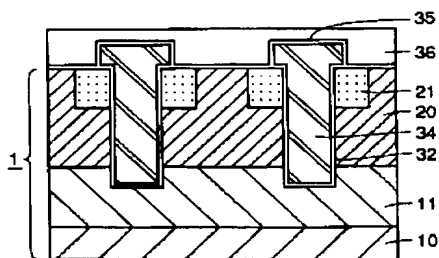
【図 5 5】



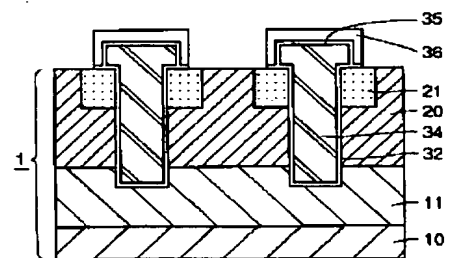
【図 5 6】



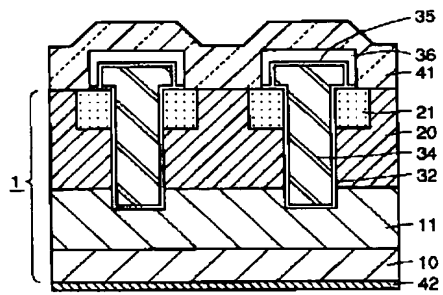
【図 5 7】



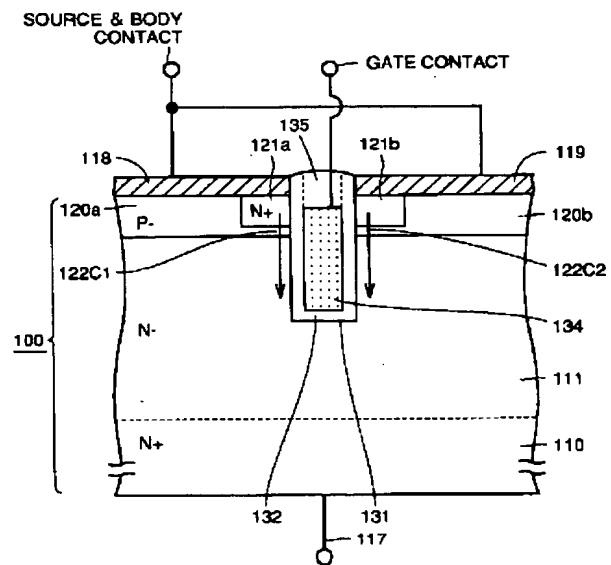
【図 5 8】



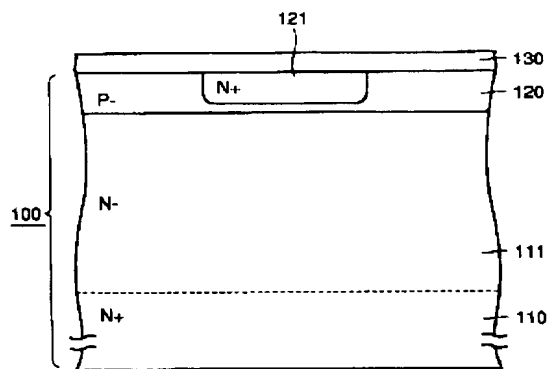
【図 59】



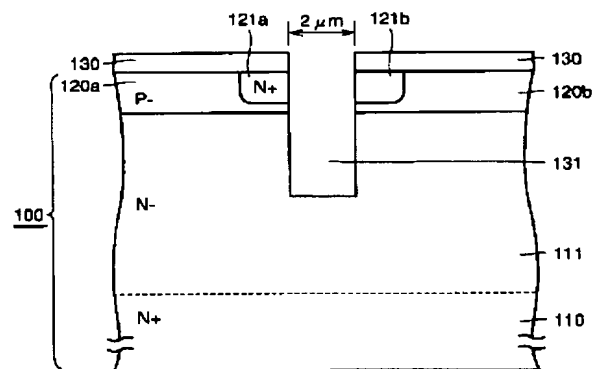
【図 60】



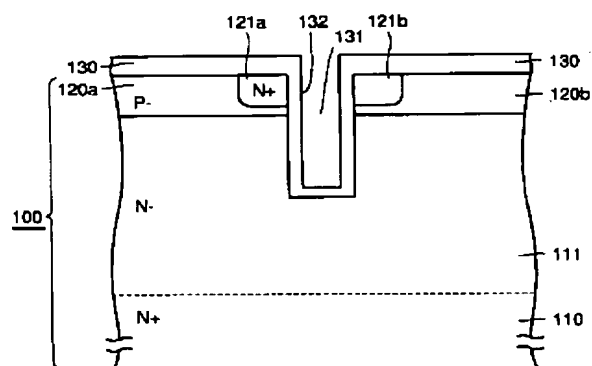
【図 61】



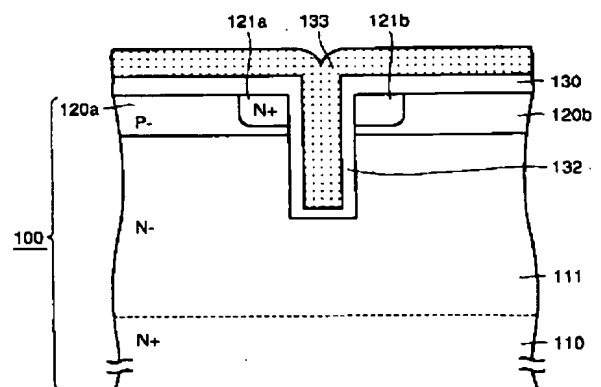
【図 62】



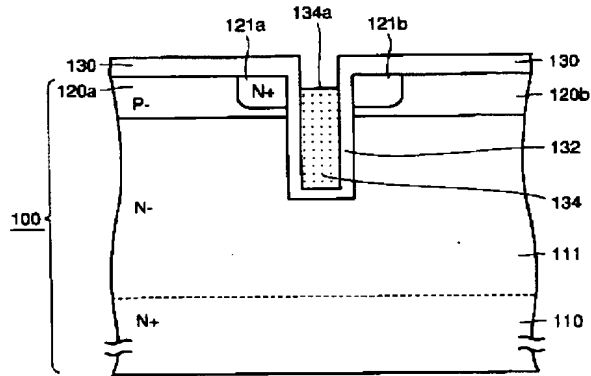
【図 63】



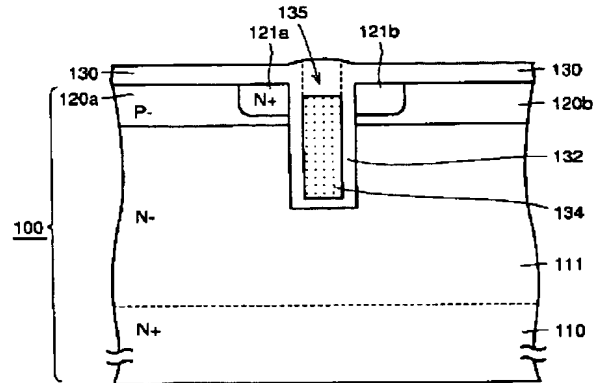
【図 64】



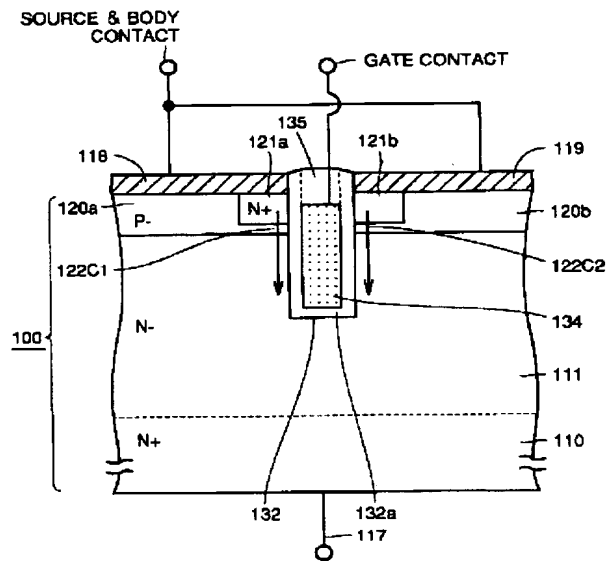
【図 6 5】



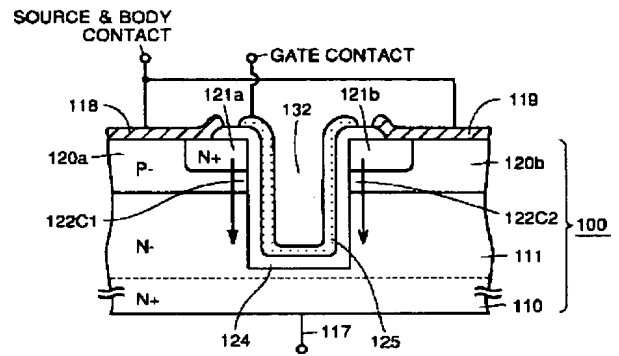
【図 6 6】



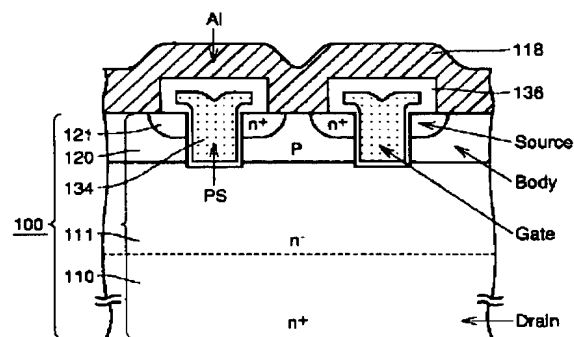
【図 6 7】



【図 6 8】



【図 6 9】



【図 7 0】

